

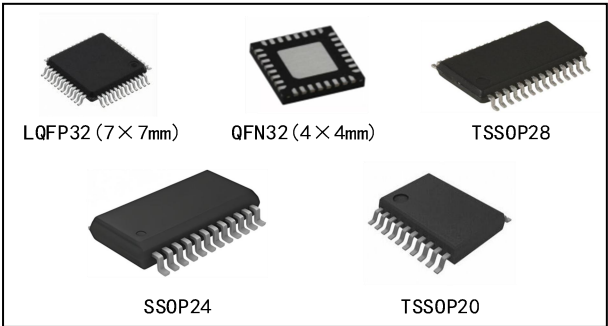


PTM280x

32 位基于 ARM 内核带 32KB 存储器的微控制器
6 个定时器，1 个 ADC，3 个通讯接口
运算放大器，比较器以及 5 位的 LDAC

功能

- 内核: **ARM 32 位的 Cortex™-M0**
 - 最高 64MHz 工作频率
- 存储器
 - 32KB 的闪存存储器
 - 8KB 的 SRAM
- 时钟、复位和电源管理
 - 2.2~5.5V 供电和 I/O 引脚
 - 上电/断电复位(POR/PDR)、可编程电压检测器 (PVD)
 - 内嵌经出厂调校的 64MHz 的 RC 振荡器
 - 内嵌经出厂调校的 32KHz 的 RC 振荡器
- 低功耗
 - 睡眠、深度睡眠模式
- 1 个 12 位模数转换器 0.5μs 转换时间(多达 15 个输入通道)
 - 转换范围: 0 至 VDDA
 - 独立编程的通道建立时间
 - 独立编程的采样时间
- DMA:2 通道 DMA 控制器
 - 支持的外设: 定时器、ADC、SPI 和 UART
 - 外设到存储器、存储器到外设、存储器到存储器传输
- 多达 30 个快速 I/O 端口
 - 多功能的数字/模拟复用 IO
 - 所有 I/O 口都可以映像到外部中断
- 2 路运算放大器(带 PGA 功能)和 2 路比较器
- 5 位分辨率的低精度数模转换器 LDAC



- 6 个定时器
 - 1 个 16 位带死区控制和紧急刹车,用于电机控制的 TIM1
 - 1 个 16 位无死区控制和紧急刹车,用于辅助电机控制的 TIM8
 - 1 个 16 位的基本定时器
 - 1 个 32 位的基本定时器
 - 1 个 16 位低功耗定时器
 - 1 个独立看门狗定时器
- 3 个通信接口
 - 1 个 UART 接口
 - 1 个 I2C 接口
 - 1 个 SPI 接口
- ALU 模块(除法器)
- IAP 功能
- 16 位 CRC 计算单元
- 调试模式(串行调试接口 SWD)
- 96 位的芯片唯一代码

表 1.1 器件列表

参考	基本型号
PTM280x6	PTM280K6T7,PTM280K6X7,PTM280G6P7
	PTM280S6Y7,PTM280F6P7
	PTM280K6T7A,PTM280K6X7A,PTM280G6P7A
	PTM280S6Y7A,PTM280F6P7A

目录

功能	1
目录	2
1 介绍	4
2 规格说明	5
2.1 器件一览	6
2.2 概述	7
2.2.1 ARM®的 Cortex™-M0 核心并内嵌闪存和 SRAM	7
2.2.2 内置闪存存储器	7
2.2.3 内置 SRAM	7
2.2.4 嵌套的向量式中断控制器(NVIC)	7
2.2.5 时钟和启动	7
2.2.6 IAP 模式	8
2.2.7 向量表重映射功能	8
2.2.8 供电方案	8
2.2.9 供电监控器	8
2.2.10 电源调节器	8
2.2.11 CRC(循环冗余校验)计算单元	8
2.2.12 低功耗模式	9
2.2.13 定时器和看门狗	9
2.2.14 外部中断控制器(EXTI)	11
2.2.15 I2C 总线	11
2.2.16 通用异步收发器(UART)	11
2.2.17 串行外设接口(SPI)	11
2.2.18 通用输入/输出接口(GPIO)	11
2.2.19 通用计算模块(ALU)	11
2.2.20 比较器(CMP)	12
2.2.21 运算放大器(OPA)	12
2.2.22 模拟/数字转换(ADC)	13
2.2.23 DMA	13
2.2.24 LDAC	13
2.2.25 串行 SWD 调试口(SW-DP)	13
3 引脚定义	14
4 存储器映像	18
5 电气特性	19
5.1 测试条件	19
5.1.1 最大值和最小值	19
5.1.2 典型数值	19
5.1.3 典型曲线	19
5.1.4 负载电容	19
5.1.5 引脚输入电压	19
5.1.6 供电方案	20
5.1.7 电流消耗测量	20

5.2	绝对最大额定值	21
5.3	工作条件	22
5.3.1	通用工作条件	22
5.3.2	上电和掉电时的工作条件	22
5.3.3	内嵌复位和电源控制模块特性	23
5.3.4	内置的参考电压	24
5.3.5	供电电流特性	25
5.3.6	内部时钟源特性	27
5.3.7	存储器特性	28
5.3.8	绝对最大值(电气敏感性)	29
5.3.9	I/O 端口特性	30
5.3.10	NRST 引脚特性	32
5.3.11	TIM 定时器特性	33
5.3.12	通信接口	34
5.3.13	ADC 特性	39
5.3.14	OPA(运算放大器)特性	42
5.3.15	比较器特性	43
5.3.16	LDAC 特性	43
6	封装特性	44
6.1	LQFP32(7×7mm)封装特性	44
6.2	QFN32(4×4mm)封装特性	45
6.3	TSSOP28 封装特性	46
6.4	SSOP24 封装特性	47
6.5	TSSOP20 封装特性	48
7	订货代码	49
7.1	订货代码信息图示	49
7.2	订货代码	50
8	版本历史	51

1 介绍

本文给出了 PTM280x 产品的订购信息和器件的电气特性以及机械特性。
有关完整的 PTM280x 系列的详细信息，请参考第 2.2 节描述。
有关详细的 PTM280x 系列的电气特性，请参考第 5 节描述。
PTM280x 数据手册，必须结合《PT32x0xx 参考手册》一起阅读，参考手册可在 PT 官网下载：
www.pai-ic.com
有关 Cortex™-M0 核心的相关信息，请参考《Cortex-M0 技术参考手册》，可以在 ARM 公司的网站
下载：<https://developer.arm.com/documentation/ddi0432/c>

2 规格说明

PTM280x 系列使用高性能，低功耗的 Cortex™-M0 32 位内核，通用工作频率最大 64MHz。内置高速存储器(32KB 的 Flash 和 8KB 的 SRAM)，多功能复用的 I/O 端口和连接到 APB 总线的丰富外设。所有型号的器件最多包含 1 个 12 位的 ADC，1 个 5 位的 LDAC、2 个比较器、2 个运算放大器、多达 6 个具备丰富功能的定时器。还包含了多种标准的通信接口，包括 1 个 UART 接口、1 个 I2C 接口、和 1 个 SPI 接口。

PTM280x 系列产品支持 2.2V 至 5.5V 工作电压，包含 -40° C 至 +105° C 的温度范围，一系列的省电模式以满足低功耗应用的需求。

PTM280x 系列产品提供从 20 到 32 引脚的不同封装形式；根据不同的封装形式，器件中的外设配置不尽相同。下面的表格中将罗列该系列产品中所有外设的基本介绍，这些丰富的外设配置，这些丰富的外设配置，使得 PTM280x 系列产品适合于多种应用场合：

- 家电应用：
 - 冰箱压缩机，空调风机，油烟机，浴霸风机等
- 工业应用：
 - 变频器，打印机，水泵等
- 消费应用：
 - 风扇，吸尘器，风机，高速风筒，电动工具等

2.1 器件一览

表 2.1 PTM280x 产品功能和外设配置

外设		PTM280									
		K6T7	K6T7A	K6X7	K6X7A	G6P7	G6P7A	S6Y7	S6Y7A	F6P7	F6P7A
Flash(KB)		32									
RAM(KB)		8									
定时器	高级定时器(16bit)	2 个（TIM1(带移相功能)、TIM8）									
	基本定时器(16bit)	1 个（TIM2）									
	基本定时器(32bit)	1 个（TIM3）									
	低功耗定时器(16bit)	1 个（TIM4）									
	IWDG	1 个									
通讯接口	UART	1 个									
	SPI	1 个									
	I2C	1 个									
	GPIO		30				26		22		18
ADC(12 位, 2M 采样率)通道数		13ext+2int ⁽¹⁾				12ext+2int ⁽¹⁾		9ext+2int ⁽¹⁾			
LDAC(5 位)		1 个									
比较器		2 个								0	
运算放大器		2 个（带 PGA 功能, ×1、×2、×5、×10）									
ALU		除法器									
通用最大工作频率		64MHz									
工作电压		2.2~5.5V									
工作温度		-40 ~ 105℃									
电机算法		No	Yes	No	Yes	No	Yes	No	Yes	No	Yes
封装		LQFP32(7×7) 脚间距 0.8mm		QFN32(4×4) 脚间距 0.4mm		TSSOP28 脚间距 0.65mm		SSOP24 脚间距 0.635mm		TSSOP20 脚间距 0.65mm	

1. ext 为外部通道, int 为内部通道

2.2 概述

2.2.1 ARM®的 Cortex™-M0 核心并内嵌闪存和 SRAM

ARM®的 Cortex®-M0 处理器是最新一代的嵌入式 ARM 处理器，它为实现 MCU 的需要提供了低成本的平台、缩减的引脚数目、微小的系统功耗，同时提供卓越的计算性能和先进的中断系统响应。

ARM®的 Cortex®-M0 是 32 位的 RISC 处理器，提供额外的代码效率，在通常 8 和 16 位系统的存储空间上发挥了 ARM 内核的高性能。

本产品拥有内置的 ARM 核心，因此它与所有的 ARM 工具和软件兼容。

2.2.2 内置闪存存储器

32KB 的内置闪存存储器，用于存放程序和数据。

2.2.3 内置 SRAM

8KB 的内置 SRAM，内核能以 0 等待周期访问(读/写)。

2.2.4 嵌套的向量式中断控制器(NVIC)

PTM280x 系列产品内置嵌套的向量式中断控制器，能够处理多达 32 个可屏蔽中断通道(不包括 16 个 Cortex™-M0 的中断线)和 4 个可编程的优先级设置。

- 紧耦合的 NVIC 能够达到低延迟的中断响应处理
- 中断向量入口地址直接进入内核
- 紧耦合的 NVIC 接口
- 允许中断的早期处理
- 处理晚到的较高优先级中断
- 支持中断尾部链接功能
- 自动保存处理器状态
- 中断返回时自动恢复，无需额外指令开销

该模块以最小的中断延迟提供灵活的中断管理功能。

2.2.5 时钟和启动

系统时钟的选择是在启动后进行。复位时，内部 64MHz 的 RC 振荡器 HSI 被选为默认的系统时钟。多个预分频器用于配置 AHB 和高速 APB 的频率。AHB 和高速 APB 的最高频率是 64MHz。

2.2.6 IAP 模式

MCU 提供了一套 IAP(在应用编程)的方案，这套方案支持用户在存储空间维持多个 APP，并通过简单的方式，以将程序指针从主程序区，跳转到各个 APP 地址执行 APP 程序。

2.2.7 向量表重映射功能

传统的设计里，由于 M0 内核不支持中断重定向，因此中断向量表被固定存储于 Flash 当中，由于 Flash 需要访问时间，因此在一些需要高速中断响应的应用场合，中断响应的速度将受到限制。

MCU 提供了一种 VTORS 机制，即“Interrupt Vector Table Relocation In SRAM”，该功能用于将中断向量表映射至 SRAM 中，内核将从 SRAM 中的中断向量表取址，以此摆脱 Flash 速度的限制。

2.2.8 供电方案

VSS, VDD= 2.2~5.5V: VDD 引脚为 I/O 引脚和内部电源调节器供电。

VSS, VDDA=2.2~5.5V: VDDA 引脚为 ADC、OPA、LDAC 的模拟部分提供供电。根据不同的外设需要 VDDA 最低电压可能存在不同，VDDA 必须分别连接到 VDD。

关于如何连接电源引脚的详细信息，参见“5.1.6 供电方案”一节描述。

2.2.9 供电监控器

产品内部集成了上电复位(POR)/掉电复位(PDR)电路，该电路始终处于工作状态，保证系统在供电超过 2.2V 时工作；当 VDD 低于设定的阈值($V_{POR/PDR}$)时，置器件于复位状态，而不必使用外部复位电路。

器件中还有一个可编程电压监测器(PVD)，它监视 VDD 供电并与编程设定的阈值比较，当 VDD 低于或高于阈值时产生中断或复位，中断处理程序可以发出警告信息或将微控制器转入自定义的安全模式。PVD 功能需要通过程序开启。关于 $V_{POR/PDR}$ 和 V_{PVD} 的值参考“5.3.3 内嵌复位和电源控制模块特性”一节描述。

2.2.10 电源调节器

调节器将外部电压转成内部数字逻辑工作的电压，该调压器在复位后始终处于工作状态。

2.2.11 CRC(循环冗余校验)计算单元

CRC(循环冗余校验)计算单元使用一个可编程的多项式发生器，从一个 16 位的数据字产生一个 CRC 码。

在众多的应用中，基于 CRC 的技术被用于验证数据传输或存储的一致性。CRC 计算单元可以用于实时地计算软件的签名，并与在链接和生成该软件时产生的签名对比。

2.2.12 低功耗模式

PTM280x 系列产品支持 2 种低功耗模式，可以在要求低功耗，短启动时间和多种唤醒事件之间达到最佳的平衡。

- 睡眠状态：
在睡眠模式，只有内核停止，所有外设处于工作状态并可在发生中断/事件时唤醒内核。
- 深度睡眠状态：
在保持 SRAM 和寄存器内容不丢失的情况下，除 LSI 外的所有时钟均已停止工作，相关的片内电源以及外设被强制关闭。

注意：上电时，如果要关闭 LSI，则应当保证低功耗稳压器(LPR)输出已稳定，否则将导致低功耗异常。

2.2.13 定时器和看门狗

PTM280x 系列产品包含了 2 个高级定时器、2 个基本定时器、1 个低功耗定时器 1 个独立看门狗定时器和一个系统滴答定时器。

下表比较了各种定时器的功能：

表 2.2 定时器功能比较

定时器	分辨率	计数器方向	预分频系数	捕获/比较通道	互补输出	Hall 接口
TIM1	16 位	向上、向下、向上/向下(中央计数)	1~65536 间的任意整数	0/4	4	无
TIM8	16 位	向上、向下	1~65536 间的任意整数	4/4	无	有
TIM2	16 位	向上、向下	1~65536 间的任意整数	无	无	无
TIM3	32 位	向上、向下	1~2 ³² 间的任意整数	无	无	无
TIM4	16 位	向上	1~65536 间的任意整数	无	无	无

2.2.13.1 基本定时器(TIM2)

PTM280x 系列产品中，内置基本定时器 TIM2，有一个 16 位的自动加载的向上递增/向下递减计数器、一个 16 位的预分频器。

在调试模式下，计数器可以被冻结。

2.2.13.2 基本定时器(TIM3)

PTM280x 系列产品中，内置基本定时器 TIM3，定时器都有一个 32 位的自动加载的向上递增/向下递减计数器、一个 32 位的预分频器。

在调试模式下，计数器可以被冻结。

2.2.13.3 低功耗定时器(TIM4)

低功耗定时器基于一个 16 位的向下递减计数器和一个 16 位的预分频器，它由 LSI 提供时钟。LSI 独立于主时钟，所以它可以运行于深度睡眠模式。它可以在系统处于低功耗模式时提供精确的唤醒时机，或作为一个自由定时器为应用程序提供超时管理。
在调试模式下，TIM4 计数器可以被冻结。

2.2.13.4 高级定时器(TIM1)

TIM1 集成了 CH1~CH4 共计 4 路独立的通道，每路独立的通道还绑定了一路带死区插入功能的互补 PWM 输出。

这四个独立的通道(CH1~CH4)可以用于：

- 输出比较
- 产生 PWM(边沿或中心对齐模式)
- 单脉冲输出

配置为 16 位标准定时器时，它与基本定时器具有相同的功能，内部结构也相同。配置为 16 位 PWM 发生器时，它具有全调制能力(0~100%)。

针对单电阻采样的电机控制方案，实现 PWM 延迟触发的功能。

在调试模式下，计数器可以被冻结，同时 PWM 输出被禁止，从而切断由这些输出所控制的开关。

TIM1 内部的特殊事件可以与其他定时器协同操作，提供同步或事件链接功能。可选的多个事件还可用于产生 DMA 请求或者 ADC 触发信号。

2.2.13.5 高级定时器(TIM8)

TIM8 集成了 CH1~CH4 共计 4 路独立的通道。

这四个独立的通道(CH1~CH4)可以用于：

- 输入捕获
- 输出比较
- 产生 PWM(边沿模式)
- 单脉冲输出

配置为 16 位标准定时器时，它与普基本定时器具有相同的功能，内部结构也相同。配置为 16 位 PWM 发生器时，它具有全调制能力(0~100%)。

支持 Hall 模式，可将 TIM8_CH1 到 TIM8_CH3 这三个输入引脚连接到内部异或门。

在调试模式下，计数器可以被冻结，同时 PWM 输出被禁止，从而切断由这些输出所控制的开关。

TIM8 内部的特殊事件可以与其他定时器协同操作，提供同步或事件链接功能。可选的多个事件还可用于产生 DMA 请求或者 ADC 触发信号。

2.2.13.6 独立看门狗(IWDG)

独立的看门狗基于一个 32 位的向下递减计数器，它由 LSI 提供时钟。

LSI 独立于主时钟，所以它可以运行于深度睡眠状态。

它可以用于在发生时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。

在调试模式下，IWDG 计数器可以被冻结。

2.2.13.7 系统时基定时器(SysTick)

这个定时器是专用于实时操作系统，也可当成一个标准的递减计数器。它具有下述特性：

- 24 位的递减计数器
- 自动重加载功能
- 当计数器为 0 时能产生一个可屏蔽系统中断
- 可编程时钟源

2.2.14 外部中断控制器(EXTI)

每个 IO 引脚内部都集成了一个独立的“电平和边沿检测器”，用于产生中断/事件请求。每个中断线都可以独立地配置它的触发事件(上升沿、下降沿、高电平、低电平或双沿)，并能够单独地被屏蔽；有一个标志寄存器维持所有中断请求的状态。

2.2.15 I2C 总线

I2C 总线接口，能够工作于多主模式或从模式，支持最大 1Mbps 速率的多种通讯模式。
I2C 接口支持 7 位寻址；协议兼容机制支持在从机状态时，仅需修改软件，就可以适应主机发来的不同的通讯速率。

2.2.16 通用异步收发器(UART)

UART 接口通信速率可达 3Mbps。
8 位至 9 位的可编程数据字长度，以提供灵活性和兼容性的平衡。
UART 接口支持单线半双工通信和多机通信。
UART 接口可以使用 DMA 操作。

2.2.17 串行外设接口(SPI)

8 位可编程的数据帧格式选择，以提供灵活性和兼容性的平衡。
支持 LSB、MSB 收发模式。
总共 16 位(8+8)的预分频器可以适应多种通讯速率需求。
SPI 接口可以使用 DMA 操作。

2.2.18 通用输入/输出接口(GPIO)

每个 GPIO 引脚都可以由软件配置成输出(推挽或开漏)、输入(带或不带上/下拉电阻)或复用的外设功能端口。
所有的 GPIO 引脚都可作为外部中断，多数 GPIO 引脚都与数字或模拟的复用外设共用。
除了具有模拟输入功能的端口，所有的 GPIO 引脚都有大电流通过能力。
通过分开的使能和失能操作控制寄存器，提供中断安全的 GPIO 操作。

2.2.19 通用计算模块(ALU)

产品的通用计算模块为除法器，用于 32-bit / 32-bit 除法操作，16 个 PCLK 周期。

2.2.20 比较器(CMP)

产品内部集成了 2 个高性能比较器，每个比较器均具有 4 个 P 端输入、1 个 N 端输入和 1 个输出，这些功能引脚可以连接到外部，从而实现任何类型的外部互连。比较器具有以下特性：

- 低输入偏置电流
- 低输入失调电压
- 输入共模电压范围可达零电平
- 输入差分电压范围与电源电压一致
- 可选的正端输入：
 - CMPx_P0
 - CMPx_P1
 - CMPx_P2
 - CMPx_P3
- 可选的负端输入：
 - CMPx_N0
 - LDAC
 - BG1v0
- PWM 同步输出
- 集成的数字滤波器
- 输出极性控制
- 一个内部的边沿检测器，以及可触发中断的边沿状态检测标志：
 - CMP 输出下降沿
 - CMP 输出上升沿

2.2.21 运算放大器(OPA)

产品内部集成了两个高性能运算放大器，每个运算放大器均具有两个输入和一个输出。这些功能引脚可以连接到外部，从而实现任何类型的外部互连。放大器具有以下特性：

- 轨到轨输入和输出电压范围
- 低输入失调电流
- 低输入失调电压
- 高频增益带宽
- PGA 模式($\times 1$ 、 $\times 2$ 、 $\times 5$ 、 $\times 10$)
- 正端输入：
 - OPAx_P0
- 负端输入：
 - OPAx_N0
- 输出通道可内部连接至 CMP 和 ADC

2.2.22 模拟/数字转换(ADC)

品内嵌 1 个 12 位的模拟/数字转换器(ADC)，该 ADC 拥有多达 15 个采样通道，允许 ADC 测量 13 个外部和 2 个内部信号源。

ADC 可以实现单次、连续、注入、扫描、外部管脚或定时器触发转换。由 TIM1 和 TIM8 产生的事件，可以分别内部级联到 ADC 的触发，应用程序能使 AD 转换与时钟同步。

2.2.23 DMA

DMA 模块支持 2 条通道用于实现外设和内存间、内存和内存间、外设和外设间的数据传输；DMA 通道传输时共用一个大小为 4 个字的 FIFO，同优先级通道之间的仲裁使用“Round-Robin”机制。

每个通道都有专门的硬件 DMA 请求逻辑，同时可以由软件触发每个通道，通过系统 AHB 总线完成传输数据；传输的长度、传输的源地址和目标地址均可通过软件单独配置。

DMA 可以用于主要的外设：定时器、ADC、SPI 和 UART。

2.2.24 LDAC

产品内部集成了 1 个 5bit 的数模转换器 LDAC，它可以输出到比较器 CMP 内部。可提供 0~31/32*VDDA 范围的电压给 CMP 正端输入使用。LDAC 具有以下特性：

- 1 个 LDAC 转换器：对应 1 个输出通道
- 5 位的数模转换分辨率
- LDAC 参考：正端为 VDDA；负端为 VSSA

2.2.25 串行 SWD 调试口(SW-DP)

内嵌 ARM 的两线串行调试端口(SW-DP)。

3 引脚定义

图 3-1 PTM280x 系列 LQFP32(7×7)封装引脚分布

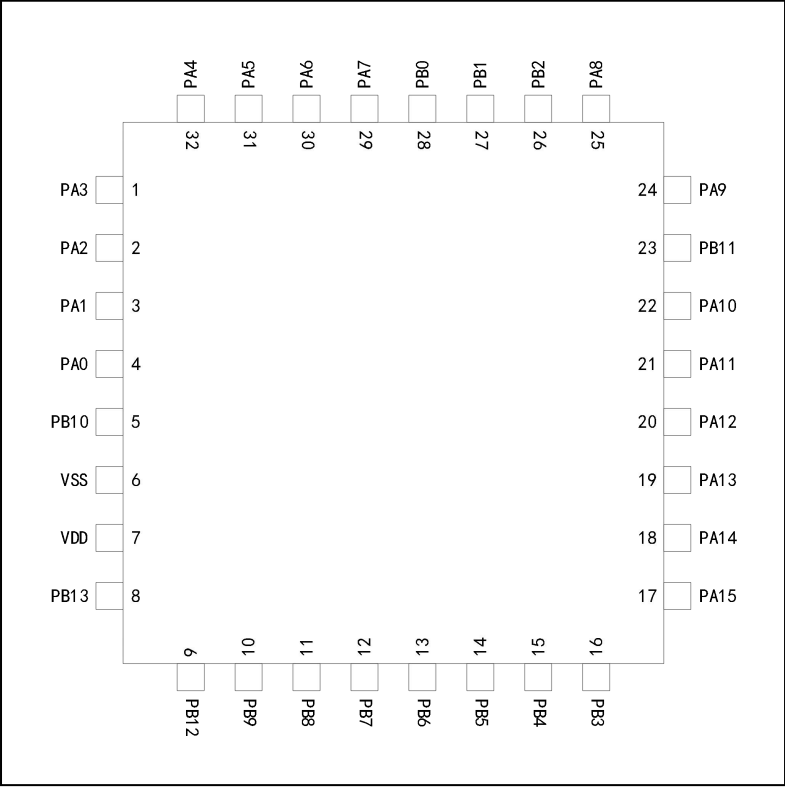


图 3-2 PTM280x 系列 QFN32(4×4)封装引脚分布

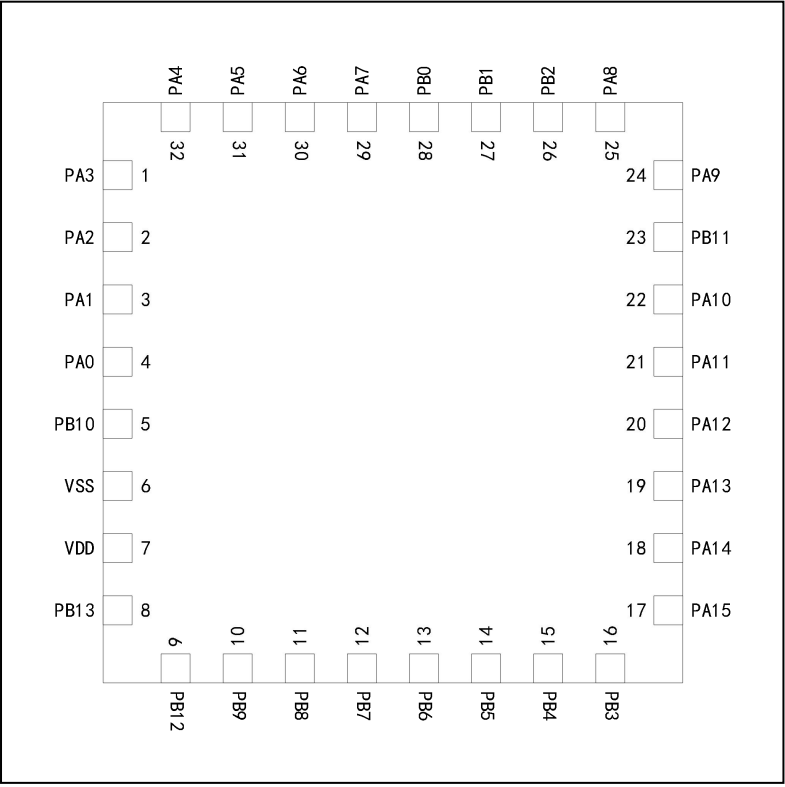


图 3-3 PTM280x 系列 TSSOP28 封装引脚分布

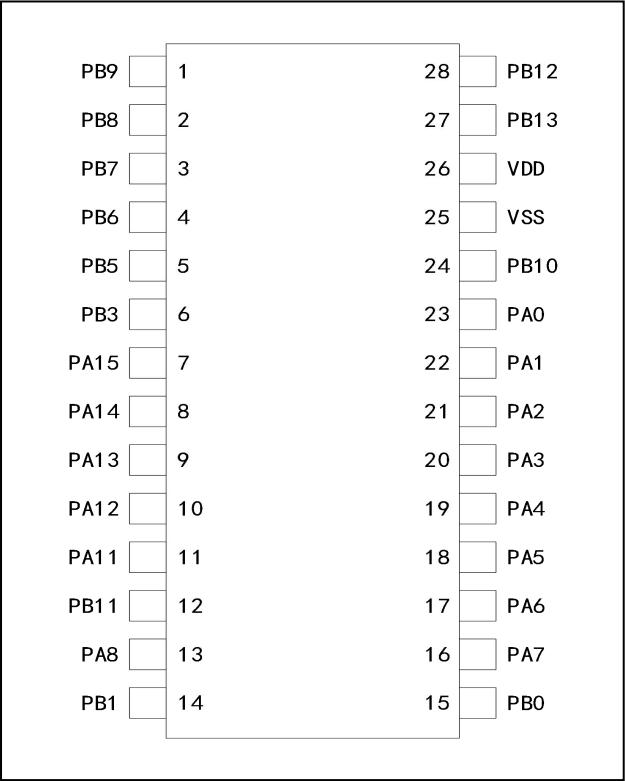


图 3-4 PTM280x 系列 SSOP24 封装引脚分布

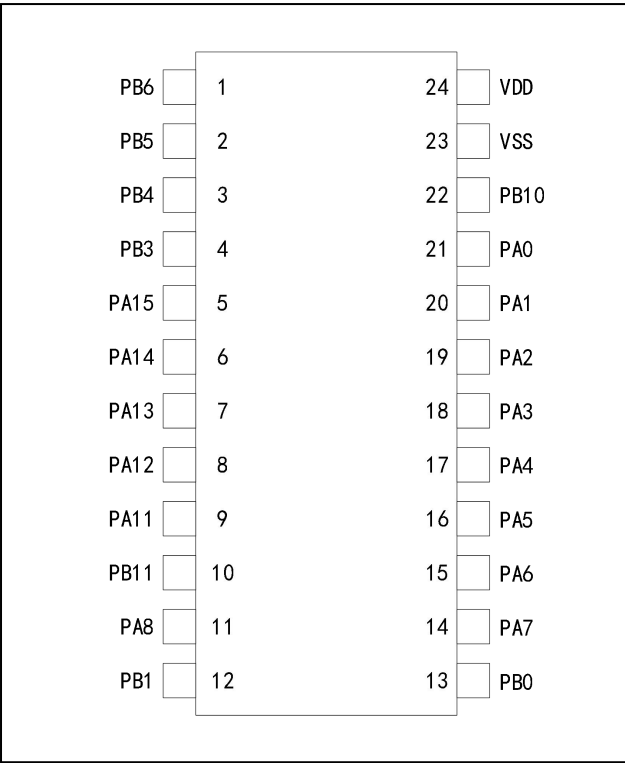


图 3-5 PTM280x 系列 TSSOP20 封装引脚分布

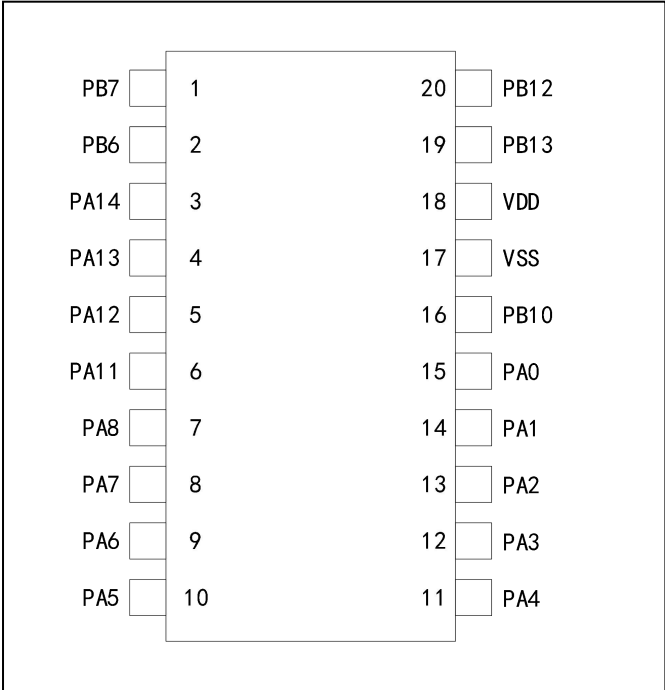




表 3.1 PTM280x 系列引脚定义

引脚编号					管脚名称	类型 ⁽¹⁾	数字复用功能							模拟复用功能
TSSOP20	SSOP24	TSSOP28	QFN32	LQFP32			功能 0	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	
12	18	20	1	1	PA3	I/O		TIM1_CH4	TIM1_CH1N			UART0_RX	SPI0_MISO	ADC0_IN3 OPA0_P0
13	19	21	2	2	PA2	I/O		TIM1_CH3		TIM8_ETR			SPI0_SCK	ADC0_IN2 CMP1_P3 OPA1_OUT0
14	20	22	3	3	PA1	I/O		TIM1_CH2				UART0_RX	SPI0_MISO	OPA1_N0
15	21	23	4	4	PA0	I/O		TIM1_CH1				UART0_TX	SPI0_MOSI	OPA1_P0
16	22	24	5	5	PB10	I/O	NRST ⁽²⁾						MCO	
17	23	25	6	6	VSS ⁽³⁾	S								
18	24	26	7	7	VDD ⁽³⁾	S								
19	-	27	8	8	PB13	I/O		TIM1_ETR		TIM8_CH3			SPI0_CS	ADC0_IN1 CMP0_P2
20	-	28	9	9	PB12	I/O		TIM1_BKIN	TIM1_ETR	TIM8_CH2		UART0_TX	I2C0_SDA	ADC0_IN0 CMP0_P1
-	-	1	10	10	PB9	I/O				TIM8_CH2		SPI0_CS	I2C0_SDA	ADC0_IN58 CMP1_P2
-	-	2	11	11	PB8	I/O		TIM1_BKIN		TIM8_CH1		SPI0_SCK	I2C0_SCL	ADC0_IN61 CMP1_P1
1	-	3	12	12	PB7	I/O	CMP1_OUT	TIM1_CH4		TIM8_CH4	TIM8_CH1	UART0_RX	SPI0_SCK	
2	1	4	13	13	PB6	I/O		TIM1_CH3	TIM1_CH2	TIM8_CH3	TIM8_CH2	SPI0_MISO	I2C0_SCL	ADC0_IN10 CMP1_N0
-	2	5	14	14	PB5	I/O				TIM8_CH3	TIM8_CH2	SPI0_MOSI	SPI0_MISO	ADC0_IN9 CMP1_P0
-	3	-	15	15	PB4	I/O	CMP0_OUT			TIM8_CH1			SPI0_SCK	ADC0_IN8
-	4	6	16	16	PB3	I/O		TIM1_CH2	TIM1_BKIN	TIM8_CH2		UART0_RX	SPI0_MISO	CMP0_N0
-	5	7	17	17	PA15	I/O		TIM1_CH1				UART0_TX	SPI0_MOSI	CMP0_P0
3	6	8	18	18	PA14	I/O	SWCLK ⁽²⁾	TIM1_CH1				UART0_TX	MCO	ADC0_IN7 ADC0_BGO
4	7	9	19	19	PA13	I/O	SWDIO ⁽²⁾			TIM8_ETR		UART0_RX		
5	8	10	20	20	PA12	I/O		TIM1_ETR	TIM1_CH4N			SPI0_CS	I2C0_SDA	
6	9	11	21	21	PA11	I/O	ADC0_ETR	TIM1_CH4	TIM1_CH3	TIM1_BKIN			I2C0_SCL	
-	-	-	22	22	PA10	I/O		TIM1_CH3				UART0_RX	I2C0_SDA	
-	10	12	23	23	PB11	I/O		TIM1_CH3	TIM1_CH2	TIM1_CH1	TIM8_CH1			
-	-	-	24	24	PA9	I/O	CMP0_OUT	TIM1_CH2			TIM8_ETR	UART0_TX	I2C0_SCL	
7	11	13	25	25	PA8	I/O	CMP1_OUT	TIM1_CH2N	TIM1_CH1	TIM1_CH3N	TIM8_CH3	UART0_TX	TIM1_CH3	
-	-	-	26	26	PB2	I/O						UART0_RX	SPI0_SCK	
-	12	14	27	27	PB1	I/O		TIM1_CH2N	TIM1_CH3N	TIM8_CH4	TIM1_CH1N			
-	13	15	28	28	PB0	I/O			TIM1_CH2N	TIM8_CH3				
8	14	16	29	29	PA7	I/O		TIM1_CH3N	TIM1_CH1N	TIM8_CH2				
9	15	17	30	30	PA6	I/O		TIM1_BKIN		TIM8_CH1				ADC0_IN6
10	16	18	31	31	PA5	I/O		TIM1_CH1	TIM1_CH3N			SPI0_SCK	MCO	ADC0_IN5 CMP0_P3 OPA0_OUT0
11	17	19	32	32	PA4	I/O			TIM1_CH2N			UART0_TX	SPI0_MOSI	ADC0_IN4 OPA0_N0

1. I = 输入，O = 输出，S = 电源



- 第 18 页, 共 51 页

5 电气特性

5.1 测试条件

除非特别说明，所有电压的都以 V_{SS} 为基准。

5.1.1 最大值和最小值

除非特别说明，最小和最大数值是在环境温度 $T_A = 25^{\circ}\text{C}$ ， $V_{DD} = 5\text{V}$ 下执行的测试。

5.1.2 典型数值

除非特别说明，典型数据是基于 $T_A = 25^{\circ}\text{C}$ 和 $V_{DD} = 5\text{V}$ 。这些数据仅用于设计指导而未经测试。

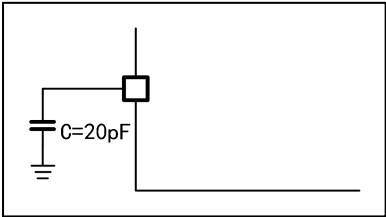
5.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

5.1.4 负载电容

测量引脚参数时的负载条件示于下图。

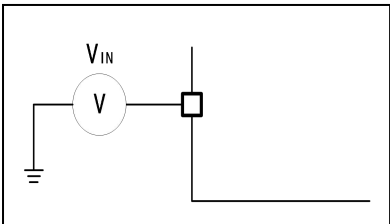
图 5-1 引脚的负载条件



5.1.5 引脚输入电压

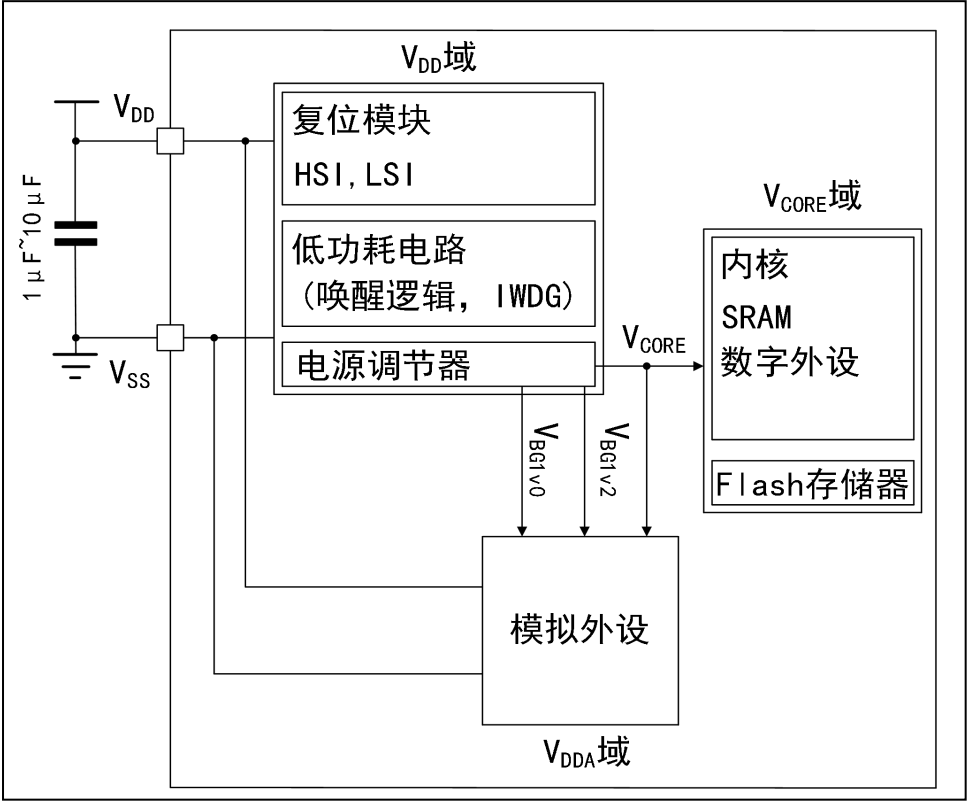
引脚上输入电压的测量方式示于下图。

图 5-2 引脚输入电压



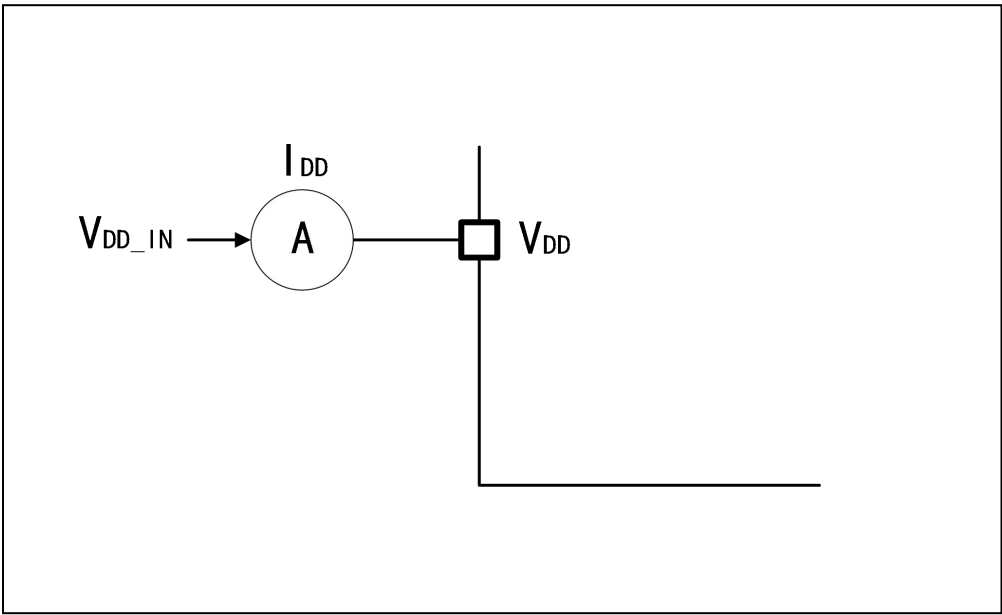
5.1.6 供电方案

图 5-3 供电方案



5.1.7 电流消耗测量

图 5-4 电流消耗测量



5.2 绝对最大额定值

加在器件上的载荷如果超过“绝对最大额定值”列表(表 5.2.1、表 5.2.2、表 5.2.3)中给出的值，可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷，并不意味着在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 5.2.1 电压特性

符号	描述	最小值	最大值	单位
$V_{DD}-V_{SS}^{(1)}$	外部主供电电压	-0.3	5.8	V
$V_{IN}^{(2)}$	在引脚上的输入电压	$V_{SS}-0.3$	5.8	
$ \Delta V_{DDX} $	不同供电引脚之间的电压差	-	500	mV
V_{ESD}	ESD 静电放电电压	详见绝对最大值(电气敏感性)一节		-

1. 电源(V_{DD})和地(V_{SS})引脚必须始终连接到外部允许范围内的供电系统上。
2. $I_{INJ(PIN)}$ 绝对不可以超过它的极限(见表 5.2.2)，这需要确保 V_{IN} 不超过其最大值。如果不能保证，也应当限制 $I_{INJ(PIN)}$ 在最大值以内；当 $V_{IN}>V_{IN}$ 最大值时，有一个正向注入电流；当 $V_{IN}<V_{SS}$ 时，有一个反向注入电流。

表 5.2.2 电流特性

符号	描述	最大值	单位
$I_{VDD}^{(1)}$	经过 VDD 电源线的总电流(供应电流)	100	mA
$I_{VSS}^{(1)}$	经过 VSS 地线的总电流(流出电流)	100	
I_{IO}	任意 I/O 和控制引脚上的输入灌电流 ⁽⁵⁾	16	
	任意 I/O 和控制引脚上的输出电流	-12	
$I_{INJ(PIN)}^{(2)(3)}$	NRST 引脚的注入电流	± 5	
	LSE 的 OSC32_IN 引脚的注入电流	± 5	
	其他引脚的注入电流 ⁽⁴⁾	± 5	
$\Sigma I_{INJ(PIN)}^{(2)}$	所有 I/O 和控制引脚上的总注入电流 ⁽⁴⁾	± 20	

1. 电源(V_{DD})和地(V_{SS})引脚必须始终连接到外部允许范围内的供电系统上。
2. $I_{INJ(PIN)}$ 绝对不可以超过它的极限(见表 5.2.2)，这需要确保 V_{IN} 不超过其最大值。如果不能保证，也应当限制 $I_{INJ(PIN)}$ 在最大值以内；当 $V_{IN}>V_{IN}$ 最大值时，有一个正向注入电流；当 $V_{IN}<V_{SS}$ 时，有一个反向注入电流。
3. 反向注入电流会干扰器件的模拟性能。参考第 5.3.13 节。
4. 当几个 I/O 口同时有注入电流时， $\Sigma I_{INJ(PIN)}$ 的最大值为正向注入电流与反向注入电流的即时绝对值之和。

表 5.2.3 温度特性

符号	描述	数值	单位
T_{STG}	存储温度范围	-65~+150	℃
T_{Jmax}	最大结温度	+150	

5.3 工作条件

5.3.1 通用工作条件

表 5.3.1 通用工作条件

符号	描述	条件	最小值	典型值	最大值	单位
f _{SYS_CLK}	系统时钟	-	-	-	64	MHz
f _{HCLK}	内部 AHB 时钟	-	f _{SYS_CLK} /32	-	f _{SYS_CLK}	MHz
f _{PCLK}	内部 APB 时钟	-	f _{HCLK} /32	-	f _{HCLK}	MHz
V _{DD}	标准工作电压	-	2.2	-	5.5	V
V _{DDA}	模拟部分工作电压 (未使用模拟外设)	必须与 VDD 相同	2.2	-	5.5	
V _{DDA}	模拟部分工作电压 (使用 ADC)		2.7	-	5.5	
V _{DDA}	模拟部分工作电压 (使用 OPA)		2.7	-	5.5	
V _{DDA}	模拟部分工作电压 (使用 LDAC)		2.2	-	5.5	
T _A	环境温度	最大功率耗散 ⁽¹⁾	-40	-	105	℃
T _J	结温度范围	环境温度下	-40	-	105	

1. 在较低的功率耗散的状态下，只要 T_J 不超过 T_J 最大值(参见表 5.2.3 温度特性)，T_A 可以扩展到这个范围。

5.3.2 上电和掉电时的工作条件

下表中给出的参数是依据(表 5.3.1 通用工作条件)列出的环境温度下和 VDD 供电电压下测试得出。

表 5.3.2 上电和掉电时的工作条件

符号	描述	条件	最小值	最大值	单位
t _{VDD}	VDD 上升速度	-	0	∞	μs/V
	VDD 下降速度		20	∞	

5.3.3 内嵌复位和电源控制模块特性

下表中给出的参数是依据(表 5.3.1 通用工作条件)列出的环境温度下和 VDD 供电电压下测试得出。

表 5.3.3 内嵌复位和电源控制模块特性

符号	描述	条件	最小值	典型值	最大值	单位
V _{PVD}	可编程的电源电压检测器的电平选择	PLS[2:0]=000(上升沿, 默认值)	-	2.1	-	V
		PLS[2:0]=000(下降沿, 默认值)	-	2.05	-	
		PLS[2:0]=001(上升沿)	-	2.6	-	
		PLS[2:0]=001(下降沿)	-	2.5	-	
		PLS[2:0]=010(上升沿)	-	2.85	-	
		PLS[2:0]=010(下降沿)	-	2.75	-	
		PLS[2:0]=011(上升沿)	-	3.1	-	
		PLS[2:0]=011(下降沿)	-	3.0	-	
		PLS[2:0]=100(上升沿)	-	3.6	-	
		PLS[2:0]=100(下降沿)	-	3.5	-	
		PLS[2:0]=101(上升沿)	-	4.2	-	
		PLS[2:0]=101(下降沿)	-	4.0	-	
V _{PVDhyst} ⁽¹⁾	PVD 迟滞	-	50	100	200	mV
V _{PLVD}	电源低电压阈值	-	-	2.02	-	V
V _{PLVDhyst} ⁽¹⁾	PLVD 迟滞	-	-	80	-	mV
V _{POR/PDR}	上电/掉电复位阈值	上升沿	-	1.5	-	V
		下降沿	-	1.4	-	
V _{PDRhyst} ⁽¹⁾	PDR 迟滞	-	-	100	-	mV

1. 由设计保证, 不在生产中测试。

5.3.4 内置的参考电压

下表中给出的参数是依据(表 5.3.1 通用工作条件)列出的环境温度下和 VDD 供电电压下测试得出。

表 5.3.4 内置的参考电压⁽¹⁾

符号	描述	条件	最小值	典型值	最大值	精度	单位
BG2v0	内部 BG2v0 参考电压源	-40℃ < TA < +105℃	1.99	2.0	2.01	±0.5%	V
BG4v0	内部 BG4v0 参考电压源	-40℃ < TA < +105℃	3.98	4.0	4.02	±0.5%	
BG1v0	内部 BG1v0 参考电压源	-40℃ < TA < +105℃	0.995	1.0	1.005	±0.5%	
TS_vrefint	当读出内部参考电压时,ADC 的采样时间	读 BG1v0	-	-	9	-	μs
		读经由 ADC0_BGO 引脚输出的 BG2v0 或 BG4v0	-	-	2	-	

1. 由设计保证,不在生产中测试。

图 5-5 BG2v0/BG4v0 内部等效电路

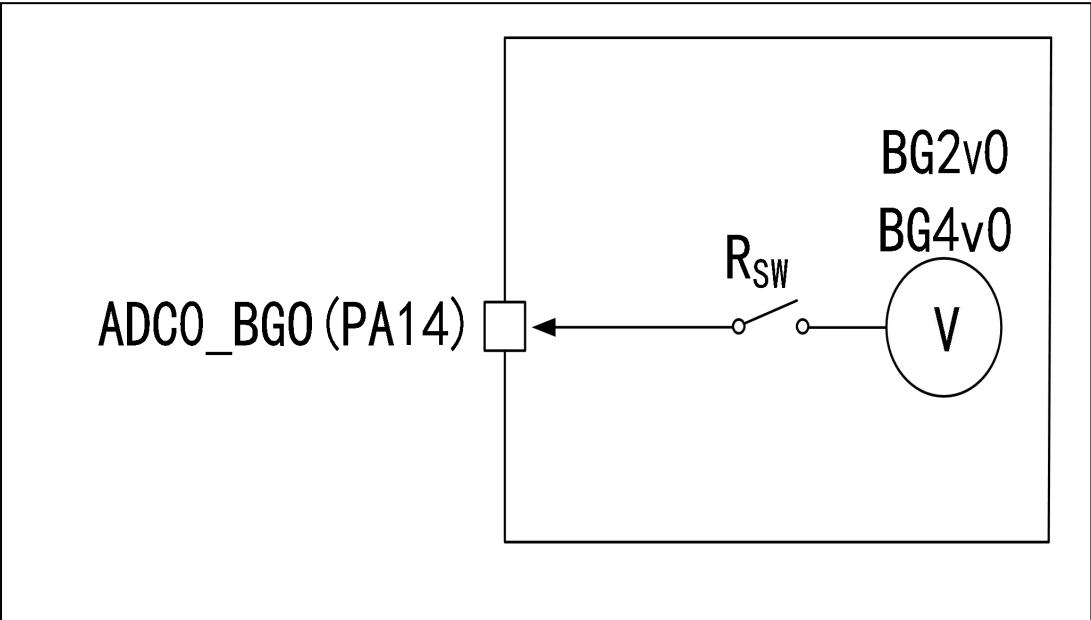


表 5.3.5 内置的参考电压驱动电流

符号	描述	条件	最小值	典型值	最大值	单位
IBG2v0	BG2v0 驱动电流	-40℃ < TA < +105℃	-	20	-	μA
IBG4v0	BG4v0 驱动电流	-40℃ < TA < +105℃	-	20	-	μA
R_SW	BG2v0 开关等效阻抗	2.4V ≤ V_DDA ≤ 5.5V	-	200	-	Ω
	BG4v0 开关等效阻抗	4.4V ≤ V_DDA ≤ 5.5V	-	100	-	Ω

5.3.5 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。
 电流消耗的测量方法说明，详见(图 5-4 电流消耗测量)。
 本节中给出的所有运行模式下的电流消耗测量值，都是在执行一套精简的代码。

5.3.5.1 系统电流消耗

微控制器处于下列条件：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上——VDD 或 VSS(无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存存储器的访问时间调整到 f_{HCLK} 的频率(VDD=5V，0<f_{HCLK}≤24MHz 时为 0 个等待周期，24MHz<f_{HCLK}≤48MHz 时为 1 个等待周期，48MHz<f_{HCLK}≤64MHz 时为 2 个等待周期)。
- 当开启外设时：f_{SYS_CLK} = f_{PCLK} = f_{HCLK}。

 下面几个表格中给出的参数是依据(表 5.3.1 通用工作条件)列出的环境温度下和 VDD=5V 供电电压下测试得出。

表 5.3.6 运行模式下的最大电流消耗，代码运行在内部 Flash 闪存中

符号	描述	条件	F _{HCLK_CLK}	典型值 ⁽¹⁾	单位
				T _A =25°C	
I _{DD}	运行模式下的供应电流	内部时钟 HSI 关闭所有外设	64MHz	5.17	mA
			32MHz	3.9	
			16MHz	3.2	
			8MHz	3.0	
			4MHz	2.55	
			2MHz	2.05	
		内部时钟 HSI 使能所有外设	64MHz	8.72	
			32MHz	6.85	
			16MHz	5.81	
			8MHz	5.43	
			4MHz	4.9	
			2MHz	4.38	

1. 由综合评估得出，不在生产中测试。

表 5.3.7 运行模式下的最大电流消耗，代码运行在内部 SRAM 中

符号	描述	条件	F _{HCLK_CLK}	典型值 ⁽¹⁾	单位
				T _A =25°C	
I _{DD}	运行模式下的供应电流	内部时钟 HSI 关闭所有外设	64MHz	6.35	mA
			32MHz	3.95	
			16MHz	2.75	
			8MHz	2.15	
			4MHz	1.85	
			2MHz	1.7	
		内部时钟 HSI 使能所有外设	64MHz	10.25	
			32MHz	7.05	
			16MHz	5.45	
			8MHz	4.65	
			4MHz	4.25	
			2MHz	4.05	

1. 由综合评估得出，不在生产中测试。

表 5.3.8 低功耗模式下睡眠状态的最大电流消耗，代码运行在内部 RAM 或 Flash 中

符号	描述	条件	F _{HCLK_CLK}	典型值 ⁽¹⁾	单位
				T _A =25°C	
I _{DD}	睡眠模式下的供应电流	内部时钟 HSI 关闭所有外设	64MHz	3.15	mA
			32MHz	2.35	
			16MHz	1.95	
			8MHz	1.75	
			4MHz	1.65	
			2MHz	1.6	
		内部时钟 HSI 使能所有外设	64MHz	6.8	
			32MHz	5.5	
			16MHz	4.8	
			8MHz	4.4	
			4MHz	4.2	
			2MHz	4.1	

1. 由综合评估得出，不在生产中测试。

表 5.3.9 低功耗模式下深度睡眠状态的典型电流消耗

符号	描述	条件	典型值 ⁽¹⁾	单位
			T _A =25°C	
I _{DD}	深度睡眠状态下的供应电流	LSI 开启	1.1	μA
		LSI 关闭	0.8	

1. 由综合评估得出，不在生产中测试。

5.3.6 内部时钟源特性

下表中给出的参数是依据(表 5.3.1 通用工作条件)列出的环境温度下和 VDD 供电电压下测试得出。

5.3.6.1 高速内部(HSI)RC 振荡器

表 5.3.10 HSI 振荡器特性⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
f _{HSI}	频率	-	-	64	-	MHz
ACC _{HSI}	HSI 振荡器精度	TA = -40℃~105℃	-2	-	+2	%
		TA = 25℃	-1	-	+1	
t _{SU(HSI)}	HSI 振荡器启动时间	-	-	5	-	μs
I _{DD(HSI)}	HSI 振荡器功耗	-	-	50	-	μA

1. 由设计保证，不在生产中测试

5.3.6.2 低速内部(LSI)RC 振荡器

表 5.3.11 LSI 振荡器特性⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
f _{LSI}	频率	-	-	32.768	-	kHz
ACC _{LSI}	LSI 振荡器精度	TA = -40℃~105℃	-30	-	+30	%
		TA = 25℃	-10	-	+10	
t _{SU(LSI)}	LSI 振荡器启动时间	-	-	100	-	μs
I _{DD(LSI)}	LSI 振荡器功耗	-	-	200	-	nA

1. 由设计保证，不在生产中测试

5.3.6.3 从低功耗模式唤醒的时间

下表列出的唤醒时间是在一个 64MHz 的 HSI RC 振荡器的唤醒阶段测量得到。唤醒时使用的时钟源默认为 HSI。表格中数据是在环境温度和供电电压符合(表 5.3.1 通用工作条件)的条件测量得到。

表 5.3.12 低功耗模式的唤醒时间⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
t _{WUSLEEP}	从睡眠状态唤醒	使用 HSI RC 时钟唤醒	-	0.62	-	μs
t _{WUDEEPSLEEP}	从深度睡眠状态唤醒	使用 LSI RC 时钟唤醒	-	43	-	

1. 唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令。

5.3.7 存储器特性

5.3.7.1 闪存存储器

下表中给出的参数是依据(表 5.3.1 通用工作条件)列出的环境温度下和 VDD 供电电压下测试得出。

表 5.3.13 存储器特性

符号	参数	条件	最小值	典型值	最大值 ⁽¹⁾	单位
t _{prog}	字节编程时间	-	5	-	6.5	μs
t _{ERASE_FLASH}	闪存页(512 字节)擦除时间	-	2	-	3	ms
T _{ME}	闪存整片擦除时间	-	30	-	40	
t _{RIFMC}	存储器访问时间	-	30	40	-	ns
I _{DD}	供电电流	读模式, f _{HCLK_CLK} =64MHz 2 个等待周期, VDD=3.3V	-	-	2.8	mA
		写模式	-	-	2	mA
		擦除模式	-	-	1	mA
		深度睡眠模式, TA = 25℃	-	0.3	-	μA
		深度睡眠模式, TA = 85℃	-	4	-	μA
		深度睡眠模式, TA = 105℃	-	8	-	μA
V _{prog}	编程电压	-	VDD			V

1. 由设计保证, 不在生产中测试。

表 5.3.14 存储器寿命和数据保存期限

符号	参数	条件	最小值	典型值	最大值	单位
N _{END_FLASH}	寿命(擦写次数)	T _A = -40~105℃	100k	-	-	次
t _{RET}	数据保存期限 ⁽¹⁾	T _A = 25℃	25	-	-	年

1. 循环测试均是在整个温度范围下进行。

5.3.8 绝对最大值(电气敏感性)

基于三个不同的测试(ESD，LU)，使用特定的测量方法，对芯片进行强度测试以决定它的电气敏感性方面的性能。

5.3.8.1 静电放电(ESD)

静电放电(一个正的脉冲然后间隔一秒钟后一个负的脉冲)施加到所有样品的所有引脚上，样品大小与芯片上供电引脚数目相关(3 片 x (n+1)供电引脚)。这个测试符合 JESD22-A114/C101 标准。

表 5.3.15 ESD 绝对最大值

符号	参数	条件	类型	最大值 ⁽¹⁾	单位
V _{ESD(HBM)}	静电放电电压(人体模型)	TA=+25℃ 符合 JEDEC EIA/ JESD22 -A114	3A	±6000	V
V _{ESD(CDM)}	静电放电电压(充电设备模型)	TA=+25℃ 符合 JEDEC EIA/ JESD22 -A114	C3	2000	

1. 由综合评估得出，不在生产中测试。

5.3.8.2 静态闩锁

为了评估 MCU 的闩锁性能，需要在 6 个样品上进行 2 闩锁测试：

- 为每个电源引脚，提供超过极限的供电电压。
- 在每个输入、输出和可配置的 I/O 引脚上注入电流。

这个测试符合 JESD78F(2022)集成电路闩锁标准。

表 5.3.16 电气敏感性

符号	参数	条件	类型	最大值	单位
LU	闩锁	TA = +105 °C 符合 JESD78F(2022)	II 类 A	±400	mA

5.3.9 I/O 端口特性

5.3.9.1 通用输入特性

下表中给出的参数是依据(表 5.3.1 通用工作条件)列出的环境温度下和 V_{DD} 供电电压下测试得出。
所有的 I/O 端口都兼容 CMOS 和 TTL。

表 5.3.17 I/O 输入静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL}	输入低电平电压	关施密特功能	-	-	$0.50 \times V_{DD}$	V
		开施密特功能	-	-	$0.35 \times V_{DD}$	
V_{IH}	输入高电平电压	关施密特功能	$0.50 \times V_{DD}$	-	-	
		开施密特功能	$0.46 \times V_{DD}$	-	-	
$V_{hys}^{(1)}$	施密特触发器电压迟滞	-	-	200	-	mV
$I_{kg}^{(2)}$	输入漏电流	$V_{SS} \leq V_{IN} \leq V_{DD}$	-	-	10	nA
$R_{PU}^{(3)}$	弱上拉等效电阻	$V_{in} = V_{SS}$	-	50	-	$k\Omega$
$R_{PD}^{(3)}$	弱下拉等效电阻	$V_{in} = V_{DD}$	-	50	-	
C_{IO}	I/O 引脚的电容		-	5	-	pF

1. 施密特触发器开关电平的迟滞电压。由综合评估得出，不在生产中测试
2. 如果在相邻引脚有反向电流倒灌，则漏电流可能高于最大值
3. 上拉或下拉电阻设计为真正的电阻串联可开关的 PMOS/NMOS 实现。PMON/NMOS 开关的电阻很小(约占 10%)

5.3.9.2 输出驱动电流

GPIO(通用输入/输出端口)可以输出高达 12mA 电流（拉电流）或者吸收高达 16mA 电流（灌电流）。
在用户应用中，I/O 脚的数目必须保证驱动电流不能超过 5.2 节给出的绝对最大额定值：

- 所有 I/O 端口从 V_{DD} 上获取的电流总和，加上 MCU 在 V_{DD} 上获取的最大运行电流，不能超过绝对最大额定值 I_{VDD} ，参见(5.2 绝对最大额定值)。
- 所有 I/O 端口吸收并从 V_{SS} 上流出的电流总和，加上 MCU 在 V_{SS} 上流出的最大运行电流，不能超过绝对最大额定值 I_{VSS} ，参见(5.2 绝对最大额定值)。

5.3.9.3 输出电压

下表中给出的参数是依据(表 5.3.1 通用工作条件)列出的环境温度下测试得出。
所有的 I/O 端口都是兼容 CMOS 和 TTL 的。

表 5.3.18 输出电压特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{OH}^{(1)}$	输出高电平电压	10mA 的拉电流, $V_{DD}=3.3V$	$V_{DD}-0.4$	-	-	V
		12mA 的拉电流, $V_{DD}=5.0V$	$V_{DD}-0.4$	-	-	
$V_{OL}^{(2)}$	输出低电平电压	12mA 的灌电流, $V_{DD}=3.3V$	-	-	0.4	
		16mA 的灌电流, $V_{DD}=5.0V$	-	-	0.4	

1. 芯片输出的电流 I_{IO} 必须始终遵循表 5.2.2 中给出的绝对最大额定值，同时 I_{IO} 的总和(所有 I/O 脚和控制脚)不能超过 I_{VDD}
2. 芯片吸收的电流 I_{IO} 必须始终遵循表 5.2.2 中给出的绝对最大额定值，同时 I_{IO} 的总和(所有 I/O 脚和控制脚)不能超过 I_{VSS}

5.3.9.4 输入输出交流特性

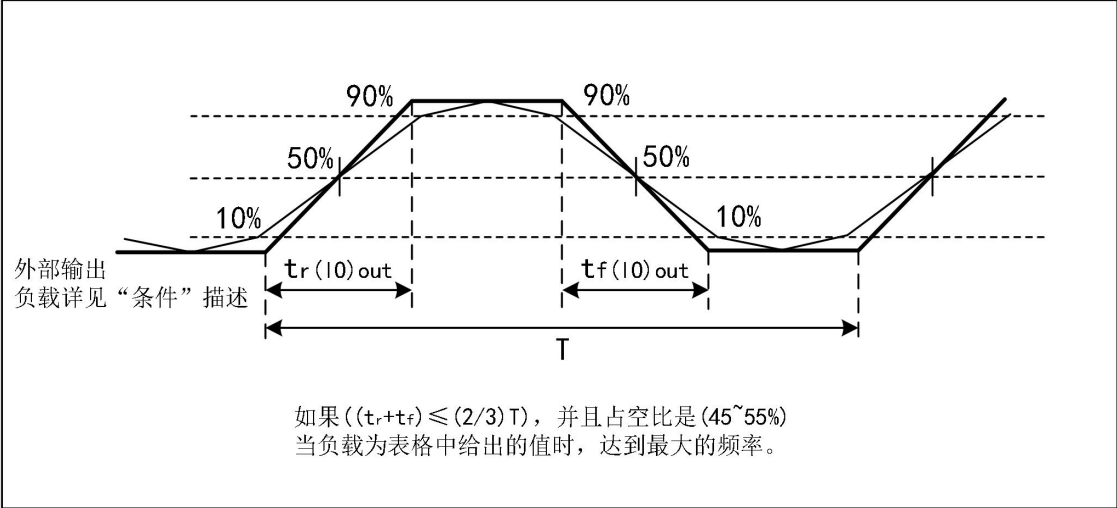
输入输出交流特性的定义和数值由下表给出。
下表中给出的参数是依据(表 5.3.1 通用工作条件)列出的环境温度下和 $V_{DD} = 3.3V$ 供电电压下测试得出。

表 5.3.19 输入输出交流特性

符号	参数	条件	最小值	最大值	单位
$f_{\max(IO)out}^{(1)}$	最大频率	$C_L = 10\text{ pF}$	-	16	MHz
$t_{f(10)out}$	输出高至低电平的下降时间	$C_L = 10\text{ pF}$	-	$13^{(2)}$	ns
$t_{r(10)out}$	输出低至高电平的上升时间	$C_L = 10\text{ pF}$	-	$9^{(2)}$	
t_{EXTIpw}	EXTI 控制器检测到外部信号的脉冲宽度	-	2000	-	ns

- 1. 最大频率在图 5-6 中定义
- 2. 由设计保证，不在生产中测试。

图 5-6 输入输出交流特性定义



5.3.10 NRST 引脚特性

NRST 引脚输入驱动使用 CMOS 工艺，它的内部连接了一个不能断开的上拉电阻， R_{PU} (参见表 5.3.20)。

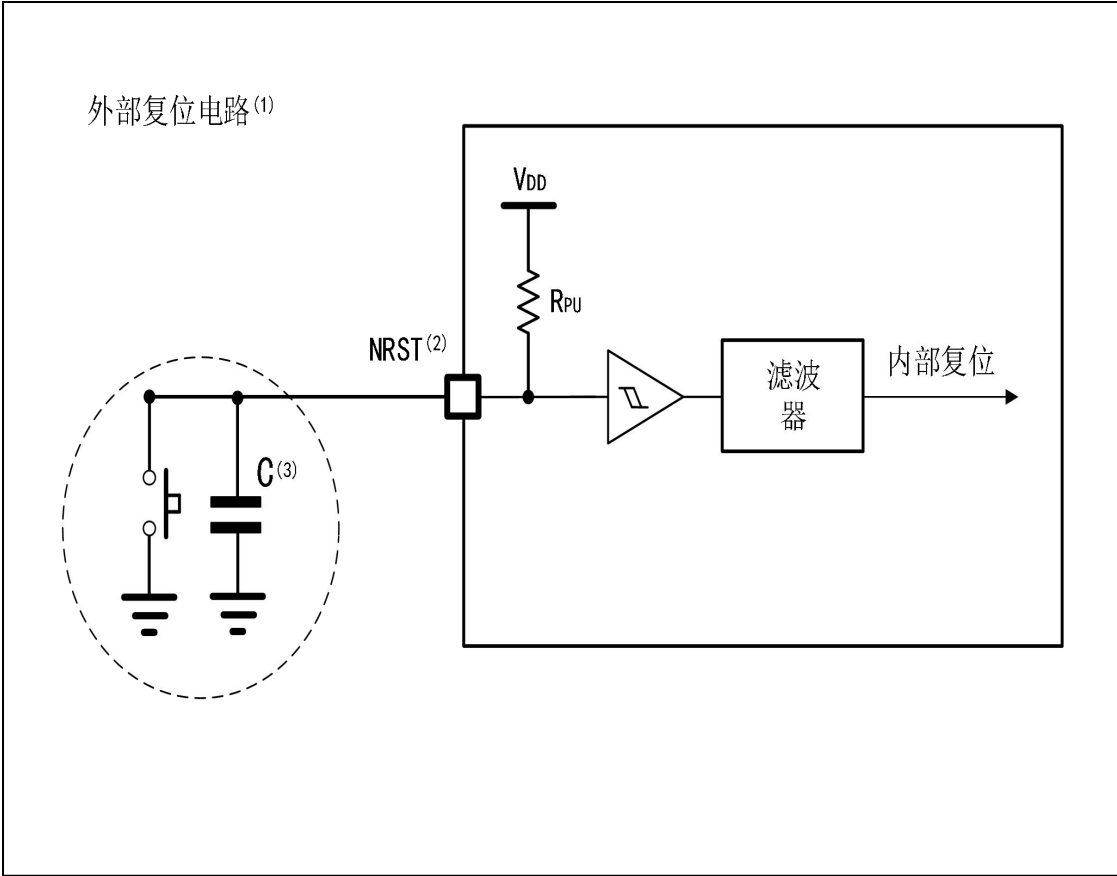
下表中给出的参数是依据(表 5.3.1 通用工作条件)列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 5.3.20 NRST 引脚特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}$	NRST 输入低电平电压	-	-	$0.3 \cdot V_{DD}$	-	V
$V_{IH(NRST)}$	NRST 输入高电平电压	-	-	$0.5 \cdot V_{DD}$	-	
$V_{hys(NRST)}$	NRST 施密特触发器电压迟滞	-	-	200	-	mV
R_{PU}	弱上拉等效电阻	$V_{IN} = V_{SS}$	-	50	-	k Ω
$V_F(NRST)$	NRST 输入滤波脉冲	-	0.67	1	1.6	μs

1. 由设计保证，不在生产中测试

图 5-7 必要的 NRST 引脚保护



- 1. 复位网络是为了防止寄生复位。
- 2. 用户必须保证 NRST 引脚的电位能够低于表 5.3.20 中列出的最大 $V_{IL(NRST)}$ 以下，否则 MCU 不能得到复位。
- 3. 外部电容应该在 1uF~10uF 之间。

5.3.11 TIM 定时器特性

有关输入输出复用功能引脚(输出比较、输入捕获、外部时钟、PWM 输出)的特性详情，参见第 5.3.9 节。

表 5.3.21 TIMx⁽¹⁾特性

符号	参数	条件	最小值	最大值	单位
t _{res} (TIM)	定时器分辨时间	f _{TIM_CLK} =64MHz ⁽²⁾	15.63	-	ns
Re _{TIM}	定时器分辨率	-	-	16	位
t _{COUNTER}	当选择了内部时钟时, 16 位计数器时钟周期	f _{TIM_CLK} =64MHz ⁽²⁾	0.01563	1024	μs
t _{MAX_COUNT}	最大可能的计数值/计数时间	-	-	65536×65536	t _{TIM_CLK}
		f _{TIM_CLK} =64MHz ⁽²⁾	-	67.1	s

1. TIMx 是一个通用的名称，根据不同型号的 MCU，可能的有 TIM1、TIM2、TIM8

表 5.3.22 TIM3 特性

符号	参数	条件	最小值	最大值	单位
t _{res} (TIM)	定时器分辨时间	f _{TIM3_CLK} =64MHz	15.63	-	ns
Re _{TIM}	定时器分辨率	-	-	16	位
t _{COUNTER}	当选择了内部时钟时, 32 位计数器时钟周期	f _{TIM3_CLK} =64MHz	0.01563	1024	μs
t _{MAX_COUNT}	最大可能的计数值/计数时间	-	-	2 ³² ×2 ³²	t _{TIM3_CLK}
		f _{TIM3_CLK} =64MHz	-	80063993	h

表 5.3.23 TIM4 特性

符号	参数	条件	最小值	最大值	单位
t _{res} (TIM)	定时器分辨时间	f _{TIM4_CLK} =32KHz	30.52	-	μs
Re _{TIM}	定时器分辨率	-	-	16	位
t _{COUNTER}	当选择了内部时钟时, 16 位计数器时钟周期	f _{TIM4_CLK} =32KHz	0.0305	2000	ms
t _{MAX_COUNT}	最大可能的计数值/计数时间	-	-	65536×65536	t _{TIM4_CLK}
		f _{TIM4_CLK} =32KHz	-	131072	s

5.3.12 通信接口

5.3.12.1 I2C 接口特性

下表中给出的参数是依据表(表 5.3.1 通用工作条件)列出的环境温度、 $f_{PCLK} = 64\text{MHz}$ 和 $V_{DD} = 3.3\text{V}$ 下测试得出。

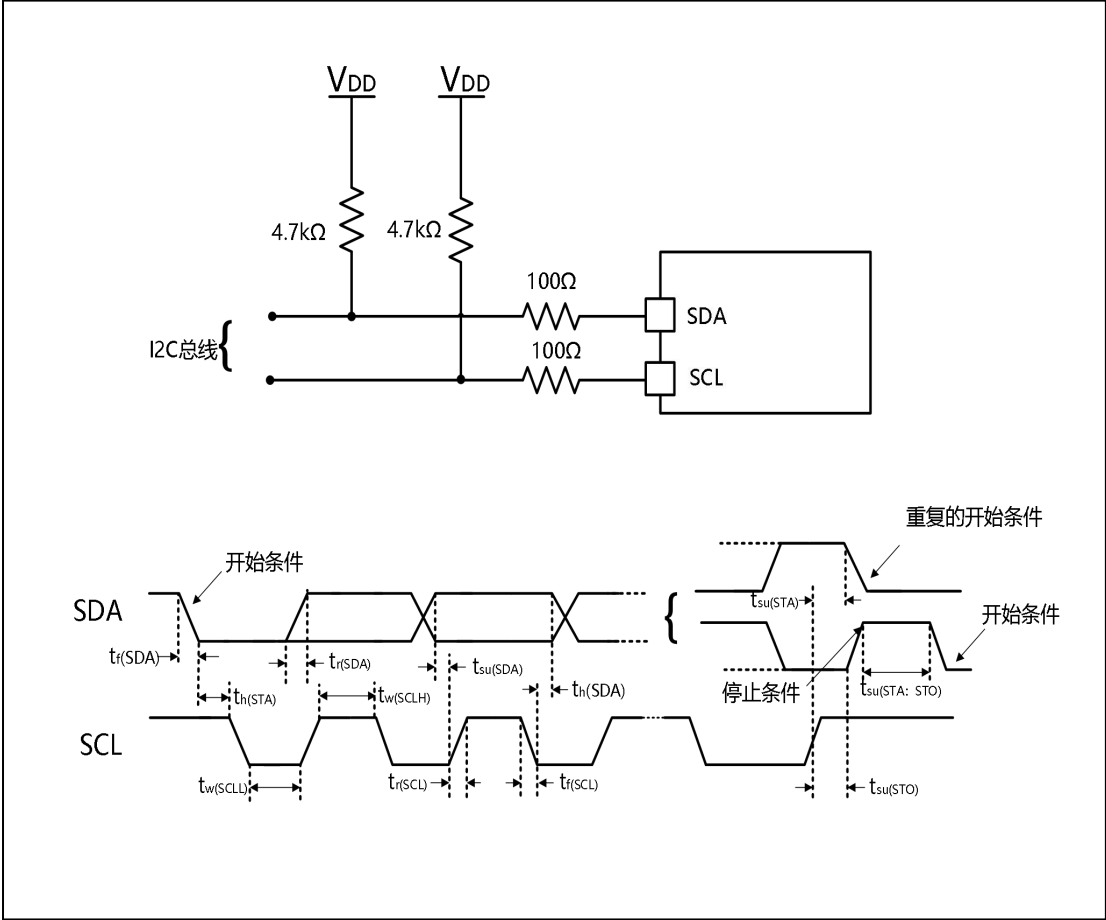
PTM280x 产品的 I2C 接口符合标准 I2C 通信协议，I2C 接口特性列于表 5.3.24，有关输入输出复用功能引脚(SDA 和 SCL)的特性详情，参见第 5.3.9 节。

表 5.3.24 I2C 接口特性

符号	参数	标准 I ² C ⁽¹⁾		快速 I ² C ⁽¹⁾⁽²⁾		单位
		最小值	最大值	最小值	最大值	
t _w (SCLL)	SCL 时钟低时间	5	-	1.2	-	μs
t _w (SCLH)	SCL 时钟高时间	4.8	-	1	-	
t _{su} (SDA)	SDA 建立时间	4500	-	700	-	ns
t _h (SDA)	SDA 数据保持时间	200	-	100	-	
t _r (SDA)	SDA 和 SCL 上升时间	-	460	-	260	
t _r (SCL)						
t _f (SDA)	SDA 和 SCL 下降时间	-	6	-	4	
t _f (SCL)						
t _h (STA)	开始条件保持时间	5	-	1.2	-	μs
t _{su} (STA)	重复的开始条件建立时间	5	-	1.2	-	
t _{su} (STO)	停止条件建立时间	5	-	1.2	-	
t _w (STO:STA)	停止条件至开始条件的时间(总线空闲)	9.5	-	2	-	
C _b	每条总线的容性负载	-	400	-	400	pF

- 1. 由设计保证，不在生产中测试。
- 2. 为达到标准模式 I2C 的最大频率， f_{PCLK} 必须大于 2MHz。为达到快速模式 I2C 的最大频率， f_{PCLK} 必须大于 4MHz。
- 3. 如果不要求拉长 SCL 信号的低电平时间，则只需满足开始条件的最大保持时间。
- 4. 为了跨越 SCL 下降沿未定义的区域，在 MCU 内部必须保证 SDA 信号上至少 300ns 的保持时间。

图 5-8 I2C 总线交流波形和测量电路



1. 测量点设置于 CMOS 电平：0.3VDD 和 0.7VDD

表 5.3.25 SCL 频率($f_{PCLK} = 64\text{MHz}$)⁽¹⁾

$f_{SCL}(\text{KHz})$	PSC[9:0]数值
	$R_p = 4.7\text{k}\Omega$
400	39
200	79
100	159
50	299

1. R_p =外部上拉电阻， f_{SCL} = I2C 速度。

5.3.12.2 SPI 接口特性

下表中给出的参数是依据表(表 5.3.1 通用工作条件)列出的环境温度下和 $V_{DD} = 3.3V$ 下测试得出。
有关输入输出复用功能引脚的特性详情，参见第 5.3.9 节。

表 5.3.26 SPI 接口特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
f_{SCK}	SPI 时钟频率	主模式	-	16	MHz
$1/t_{C(SCK)}$		从模式 ⁽⁴⁾	-	1	
$t_{r(SCK)}$	SPI 时钟上升和下降时间	负载电容: C = 10pF	-	参考 $t_{f(IO)out}$ 和 $t_{r(IO)out}$	ns
$t_{f(SCK)}$					
$t_{su(CS)}^{(1)}$	CS 建立时间	从模式	$1t_{SCK}$	-	
$t_{h(CS)}^{(1)}$	CS 保持时间	从模式	$0.5t_{SCK}$	-	
$t_{w(SCKH)}^{(1)}$	SCK 高或低的时间	主模式, $f_{PCLK} = 64MHz$ 预分频系数 = 4	27	-	
$t_{w(SCKL)}^{(1)}$					
$t_{su(MI)}^{(1)}$	数据输入建立时间, 主模式	-	$0.5t_{SCK} - 1t_{PCLK}$	-	
$t_{su(SI)}^{(1)}$	数据输入建立时间, 从模式	-	$1t_{PCLK}$	-	
$t_{h(MI)}^{(1)}$	数据输入保持时间, 主模式	-	$0.5t_{SCK} - 1t_{PCLK}$	-	
$t_{h(SI)}^{(1)}$	数据输入保持时间, 从模式	-	$1t_{PCLK}$	-	
$t_{a(SO)}^{(1)(2)}$	数据输出访问时间	从模式	$0.5t_{SCK}$	-	
$t_{dis(SO)}^{(1)(3)}$	数据输出禁止时间	从模式	$0.5t_{SCK}$	-	
$t_{v(SO)}^{(1)}$	数据输出有效时间	从模式(使能边沿之后)	7	-	
$t_{v(MO)}^{(1)}$	数据输出有效时间	主模式(使能边沿之后)	7	-	
$t_{h(SO)}^{(1)}$	数据输出保持时间	从模式(使能边沿之后)	3	-	
$t_{h(MO)}^{(1)}$		主模式(使能边沿之后)	1.2	-	

- 1. 由综合评估得出，不在生产中测试
- 2. 最小值表示驱动输出的最小时间，最大值表示正确获得数据的最大时间
- 3. 最小值表示关闭输出的最小时间，最大值表示把数据线置于高阻态的最大时间
- 4. 从模式下，主机发送数据的时间间隔需考虑软件处理时间

图 5-9 USART 同步模式时序图 - 从模式和 CPHA=0

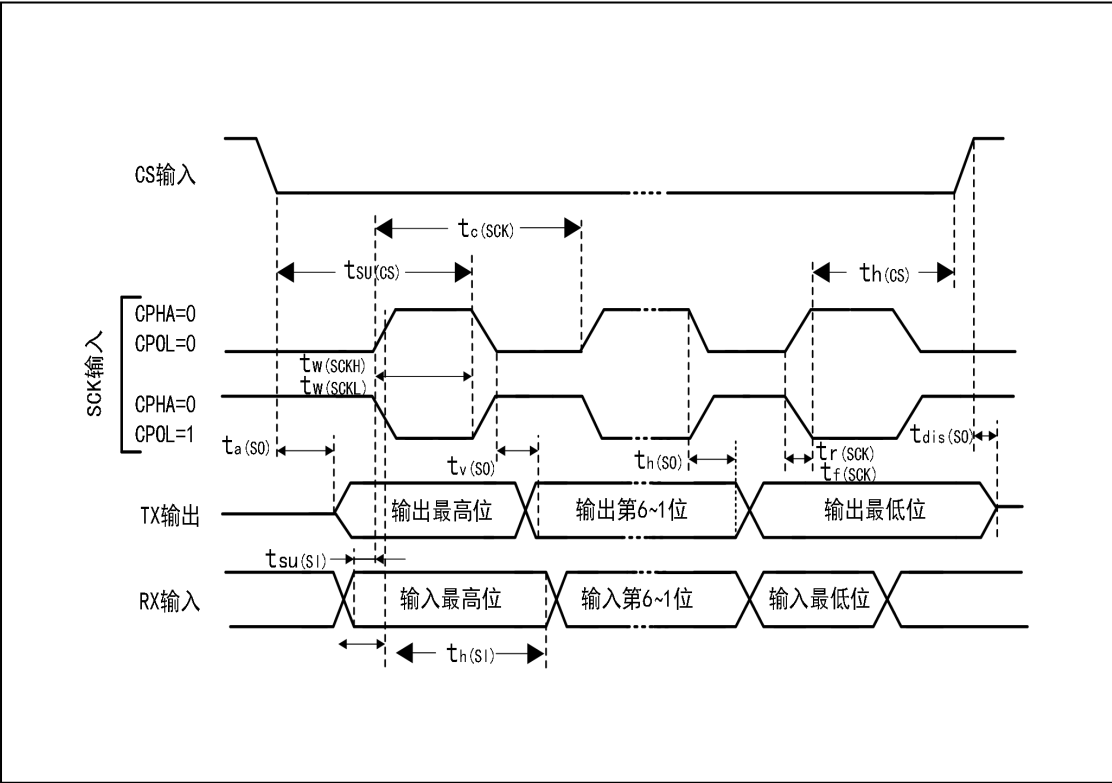
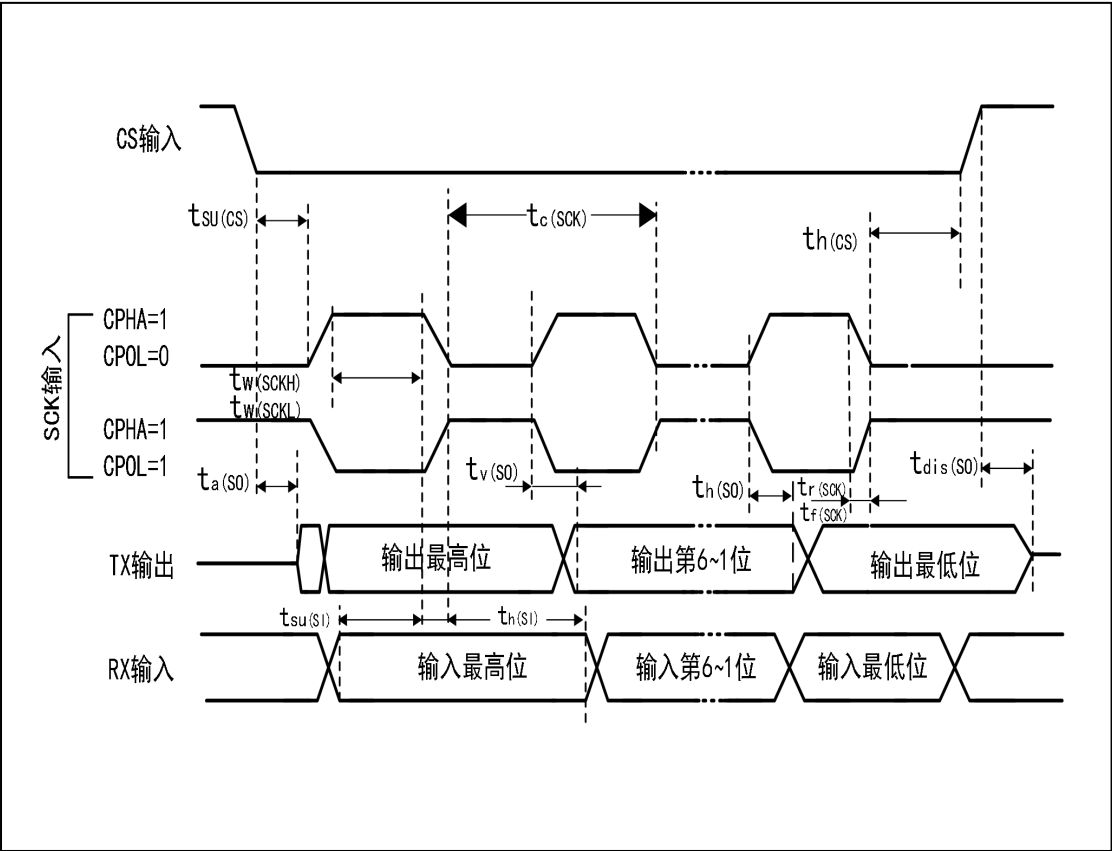
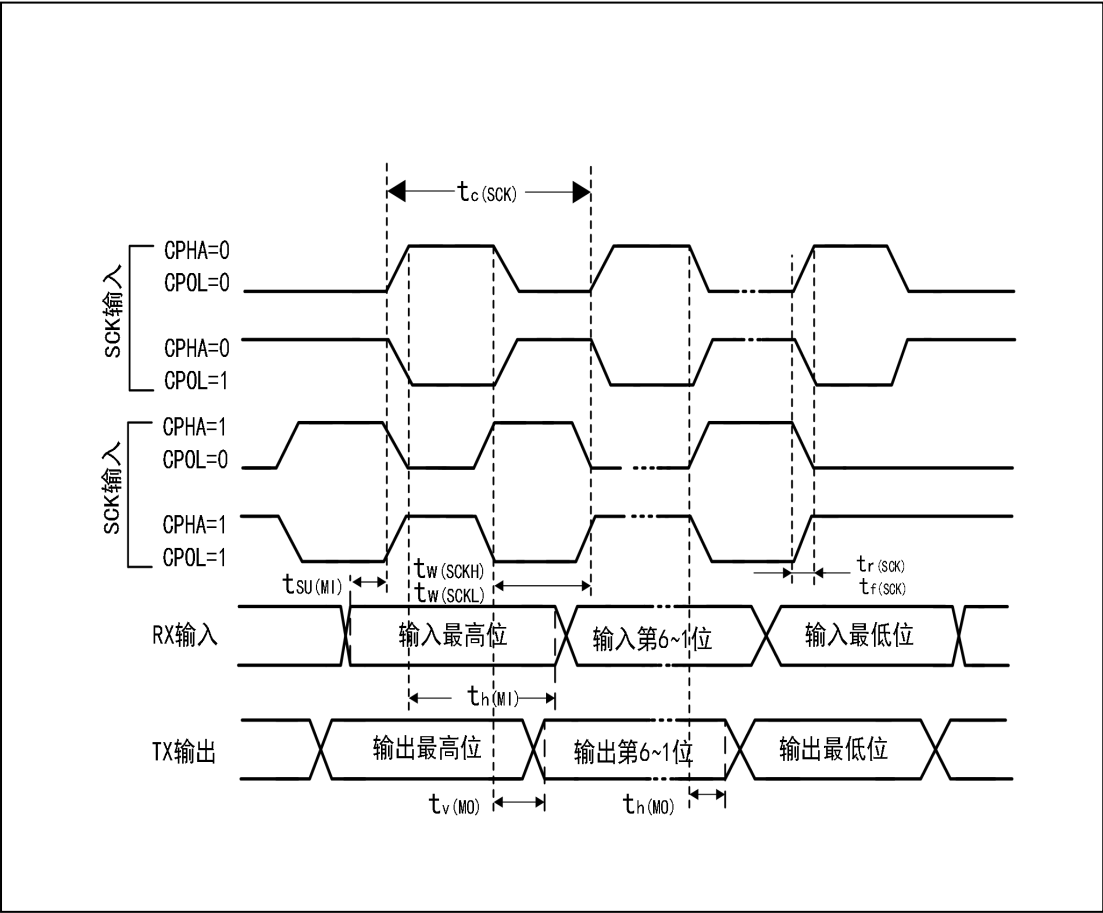


图 5-10 USART 同步模式- 从模式和 CPHA=1⁽¹⁾



1. 测量点设置于 CMOS 电平： 0.3VDD 和 0.7VDD

图 5-11 USART 同步模式– 主模式⁽¹⁾



1. 测量点设置于 CMOS 电平： 0.3VDD 和 0.7VDD

5.3.13 ADC 特性

下表中给出的参数是依据表(表 5.3.1 通用工作条件)列出的环境温度下和 VDD 供电电压下测试得出。

表 5.3.27 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{ADC}	ADC 工作电压	-	2.7	-	VDDA	V
V _{REF+}	ADC 正参考电压	V _{REF+} = VDDA	2.7	-	VDDA	V
		V _{REF+} = BG2v0	-	2.0	-	
		V _{REF+} = BG4v0	-	4.0	-	
I _{ADC}	ADC 工作电流	f _{ADC} = 32MHz, f _s = 1MSPS	-	740	-	μA
f _{ADC}	ADC 时钟频率	-	-	-	32	MHz
f _s ⁽¹⁾	采样速率	2.7V ≤ V _{ADC} < 4.5V	-	-	1	MSPS
		4.5V ≤ V _{ADC} < 5.5V	-	-	2	
f _{TRIG} ⁽¹⁾	外部触发频率	f _{ADC} = 32MHz	-	1	-	MHz
			-	32	-	1/f _{ADC}
V _{AIN} ⁽¹⁾	转换电压范围	-	0	-	VDDA/V _{REF+}	V
R _{AIN} ⁽¹⁾	外部输入阻抗	-	-	-	详见“最大 RAIN 公式”一节描述	kΩ
R _{ADC} ⁽¹⁾	采样开关电阻	-	-	-	3	
C _{ADC} ⁽¹⁾	内部采样和保持电容	-	-	4	-	pF
t _{SETUP} ⁽¹⁾	通道建立时间	f _{ADC} = 32MHz	0	-	8	μs
t _{SAM} ⁽¹⁾	采样时间	f _{ADC} = 32MHz	0.125	-	1.09	μs
			4	-	35	1/f _{ADC}
t _{RDY} ⁽¹⁾	上电稳定时间	f _{ADC} = 32MHz	1.93	-	4.84	μs
t _{CONV} ⁽¹⁾	总的转换时间(包括通道建立时间和采样时间)	f _{ADC} = 32MHz	0.5	1	-	μs
			16	32	-	1/f _{ADC}

1. 由设计保证，不在生产中测试

表 5.3.28 ADC 精度⁽¹⁾⁽²⁾⁽³⁾⁽⁴⁾

符号	参数	条件	典型值	最大值	单位
EO	偏移误差	-	±4	-	LSB
EG	增益误差	-	±10	-	LSB
ED	微分线性误差	-	±1.5	-	LSB
EL	积分线性误差	-	±2	-	LSB

1. ADC 的直流精度数值是在经过内部校准后测量的

2. 最佳的性能可以在受限的 VDD、频率、V_{AREF+}和温度范围下实现

3. ADC 精度与反向注入电流的关系：

① 需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，(引脚与地之间)增加一个肖特基二极管。

② 如果正向的注入电流，只要处于表 5.2.2 中给出的 I_{INJ(PIN)}和 Σ I_{INJ(PIN)}范围之内，就不会影响 ADC 精度。

4. 由综合评估保证，不在生产中测试。

图 5-12 ADC 精度特性

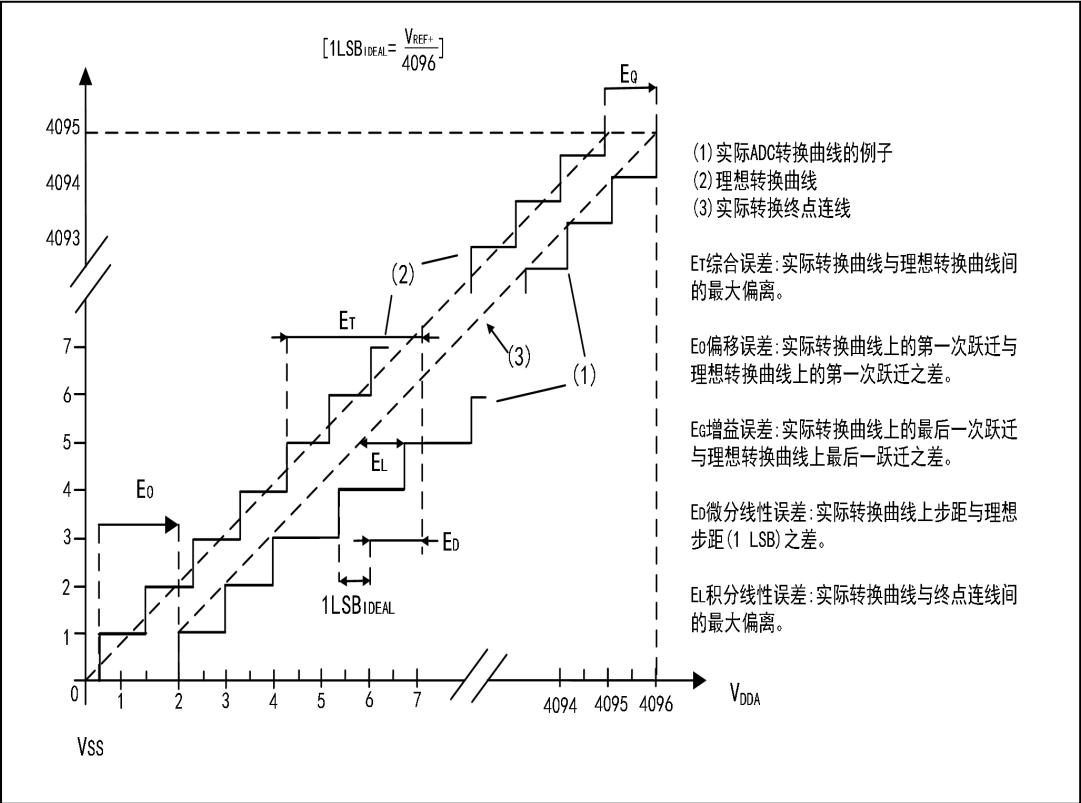
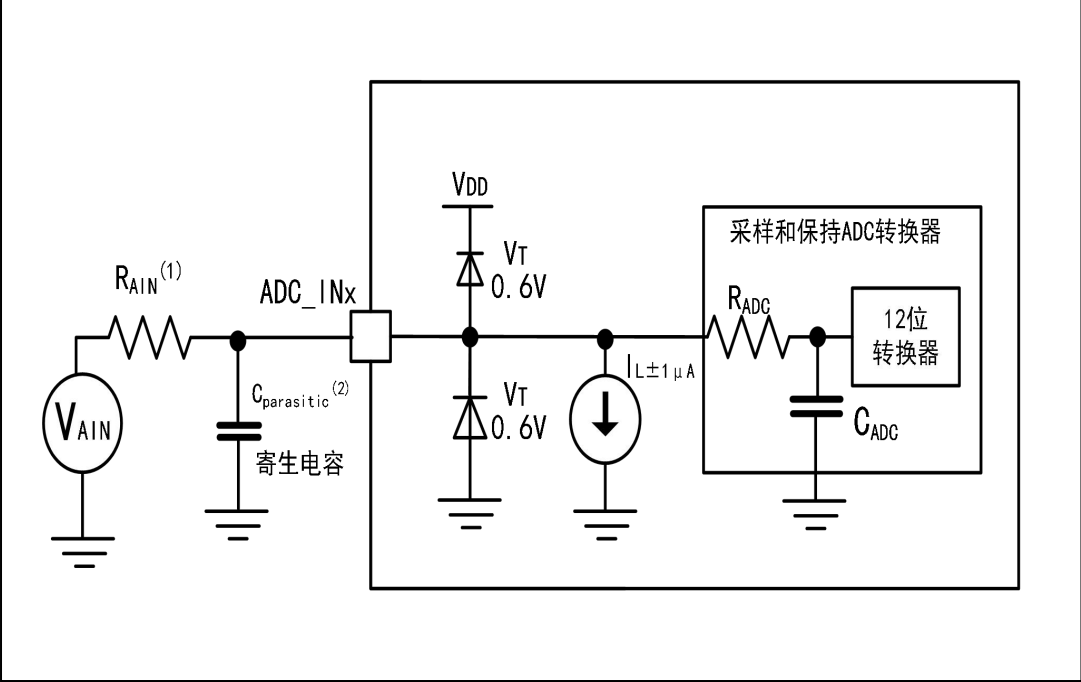


图 5-13 使用 ADC 典型的连接图



1. 有关 R_{AIN} 、 R_{ADC} 和 C_{ADC} 的数值, 参见表 5.3.27 ADC 特性
2. $C_{\text{parasitic}}$ 表示 PCB(与焊接和 PCB 布局质量相关)与焊盘上的寄生电容(大约 7pF)。较大的寄生电容数值将降低转换的精度, 解决的办法是减小 f_{ADC} 。

5.3.13.1 最大 R_{AIN} 公式

$$R_{AIN} < \frac{T_s}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$

上述公式用于决定最大的外部阻抗，使得误差可以小于 1/4LSB。其中 N=12(表示 12 位分辨率)。

表 5.3.29 f_{ADC}=32MHz 时的最大 R_{AIN}⁽¹⁾

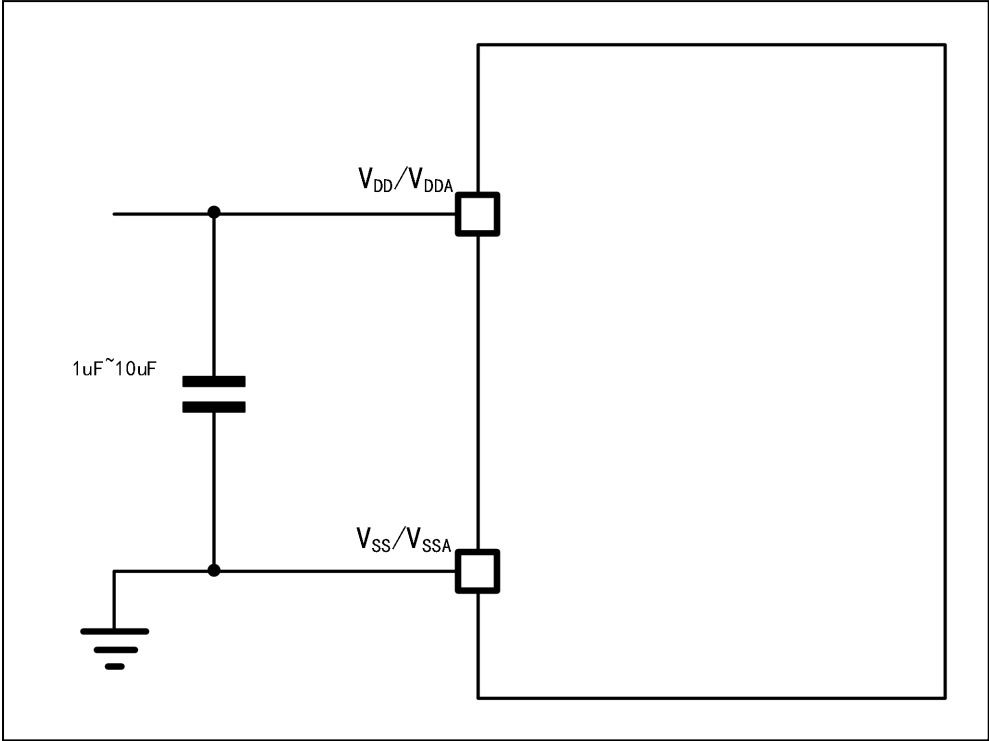
T _s (采样周期)	t _{SAM} (μ s)	最大 R _{AIN} (k Ω)
12	0.375	6.66
16	0.5	9.88
24	0.75	16.32
56	1.75	42.08
112	3.5	87.17
160	5	125.81
256	8	203.1

1. 由综合评估得出，不在生产中测试

5.3.13.2 PCB 设计建议

电源的去耦必须按照图 5-14 连接。图中的“1μF~10μF”电容必须是陶瓷电容(好的质量)，它们应该尽可能地靠近 MCU 芯片。

图 5-14 供电电源去耦线路



5.3.14 OPA(运算放大器)特性

表 5.3.30 OPA 特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
TEMP	工作温度	-	-40	27	105	℃
V _{CM}	OPA 模式共模输入范围	-	0.05	-	V _{DDA} -0.05	V
	PGA 模式共模输入范围	-	-	V _{DDA} /2	-	
V _{OUT}	输出电压	-	0.1	-	V _{DDA} -0.1	
I _{DDA}	工作电流	-	-	500	-	μA
I _{DDQ}	待机电流	OPA 禁止	-	-	10	nA
V _{IO}	出厂模式输入失调电压(Input offset voltage)	校准前	-	-	±12	mV
		校准后	TEMP=27℃		±1	
		(无负载)	全温范围	-	±2.5	
TRIM	用户模式输入失调电压校准值	Step=0.8mV	-15	0	15	-
I _{IO}	输入失调电流(Input offset current)	-	-	-	50	nA
PSRR	电源抑制比	V _{DDA} =5V, @DC	60	80	-	dB
		V _{DDA} =5V, @AC 200kHz	-	40	-	
CMRR	共模抑制比	V _{DDA} =5V, @DC	60	80	-	dB
AO	开环增益	-	60	80	-	dB
SR	压摆率	C _{LOAD} = 20pF	-	10	-	V/μs
GBW	增益带宽积	C _{LOAD} = 20pF	-	10	-	MHz
T _{WAKEUP}	从关闭状态唤醒的时间	-	-	-	20	μs
PGA Gain	PGA 增益	GAINx = 0000b	-	1	-	-
		GAINx = 0001b	-	2	-	-
		GAINx = 0010b	-	5	-	-
		GAINx = 0011b	-	10	-	-
PGA BW	PGA 模式增益带宽积	V _{DDA} =5V V _{CM} =2.5V C _{LOAD} = 20pF	Gain = 1	10	-	MHz
			Gain = 2	8.7	-	
			Gain = 5	5.5	-	
			Gain = 10	1.5	-	

1. 由设计保证，不在生产中测试

5.3.15 比较器特性

表 5.3.31 比较器特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
TEMP	工作温度	-	-40	25	105	℃
V _{IN}	输入电压	-	2.7	-	V _{DDA}	V
I _{DDA}	工作电流	比较器使能	-	70	-	μA
I _{DDQ}	待机电流	比较器禁止	-	2	20	nA
V _{IO}	输入失调电压	-	-10	-	+10	mV
I _{BIAS}	输入偏置电流	-	-	4	-	μA
V _{hys}	比较器迟滞	HVS[2:0]=000(默认值)		5		mV
		HVS[2:0]=001		10		
		HVS[2:0]=010		20		
		HVS[2:0]=011		100		
T _{delay}	传输延迟	Overdrive±100mV	-	50	-	ns
T _{start}	比较器启动时间	-	-	-	10	μs

1. 由设计保证，不在生产中测试

5.3.16 LDAC 特性

表 5.3.32 LDAC 特性⁽¹⁾

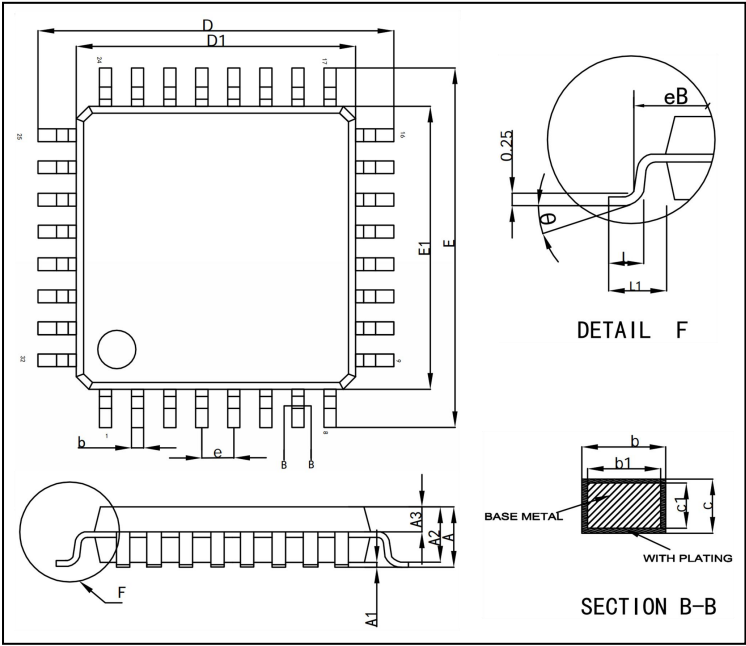
符号	参数	条件	最小值	典型值	最大值	单位
V _{LDAC}	LDAC 工作电压	-	2.2	-	V _{DDA}	V
I _{LDAC}	LDAC 工作电流	-	-	8.4	-	μA
V _{LDAC_OUT}	LDAC 输出电压	-	0	-	31/32V _{DDA}	V
t _{SETTLING}	设置时间(全范围: 5 位输入代码从最小值转变为最大值, LDAC_OUT 达到其终值的±1LSB)	-	-	5	10	μs
t _{WAKEUP}	从关闭状态唤醒的时间	-	-	10	-	μs

1. 由设计保证，不在生产中测试

6 封装特性

6.1 LQFP32(7×7mm)封装特性

图 6-1 LQFP32(7×7mm)



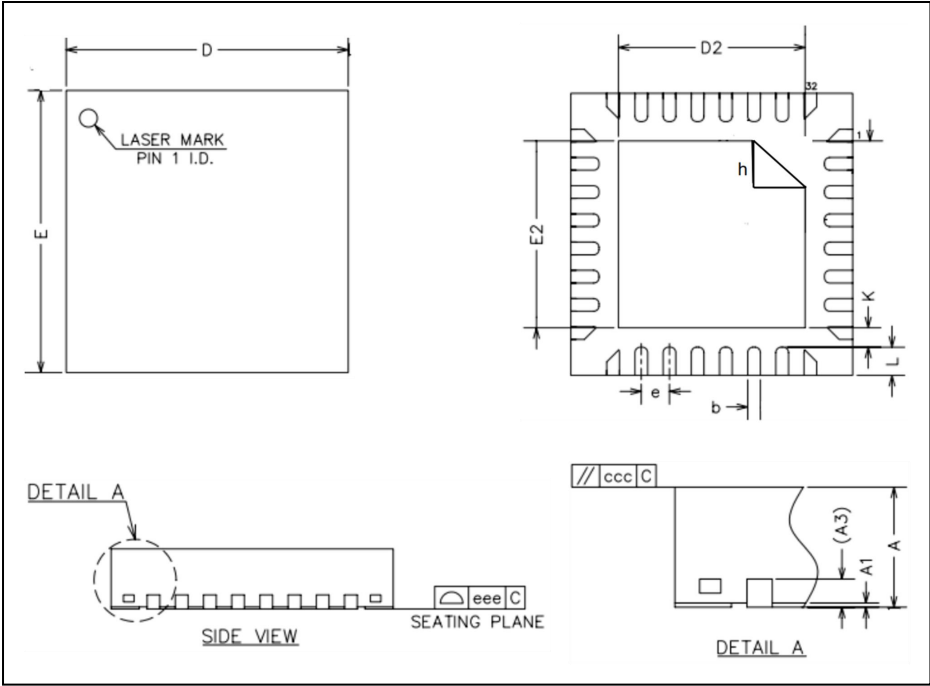
1. 图不是按照比例绘制。

表 6.1 LQFP32, 7×7mm, 0.8mm 间距封装机械数据

标号	毫米		
	最小值	典型值	最大值
A	-	-	1.60
A1	0.05	-	0.15
A2	1.35	1.40	1.45
A3	0.60	-	0.64
b	0.33	0.35	0.38
c	0.13	-	0.17
c1	0.12	0.13	0.14
D	8.80	9.00	9.20
D1	6.90	7.00	7.10
E	8.80	9.00	9.20
E1	6.90	7.00	7.10
eB	8.10	-	8.25
e	0.80BSC		
L	0.40	-	0.65
L1	1.0REF		
θ	0°	-	8°

6.2 QFN32(4×4mm)封装特性

图 6-2 QFN32(4×4mm)



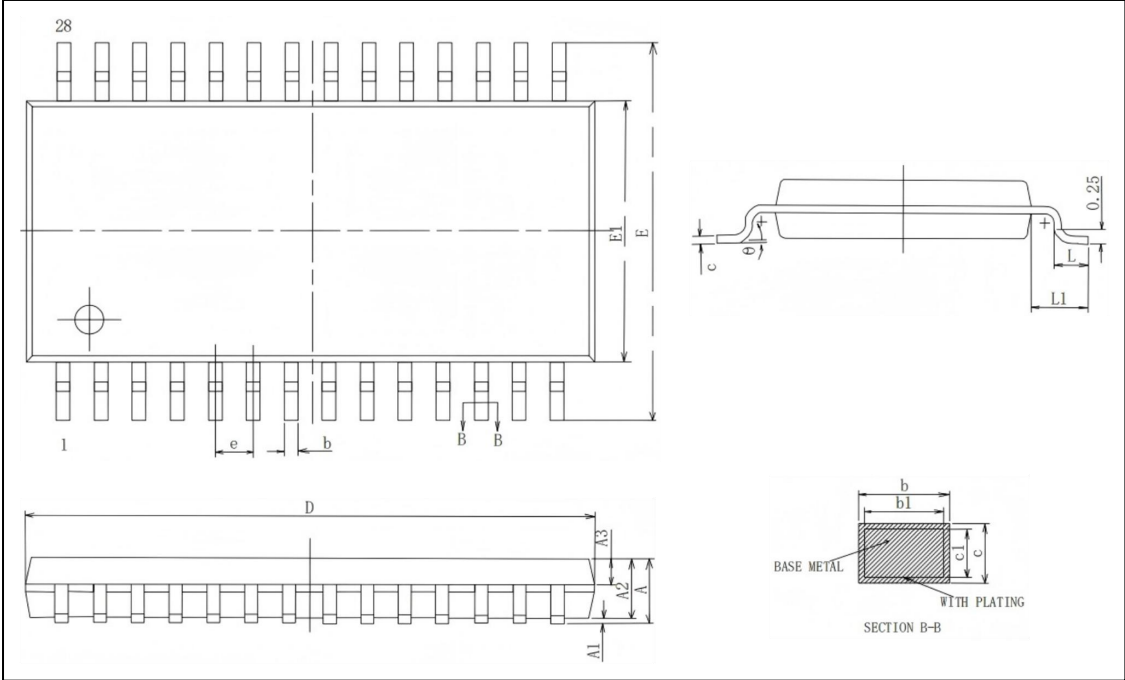
- 1. 图不是按照比例绘制。
- 2. 散热焊盘应当接地处理。

表 6.2 QFN32, 4×4mm, 0.4mm 间距封装机械数据

标号	毫米		
	最小值	典型值	最大值
A	0.70	0.75	0.80
A1	0	0.02	0.05
A3	0.20REF		
b	0.15	0.20	0.25
D	3.90	4.00	4.10
E	3.90	4.00	4.10
D2	2.75	2.80	2.85
E2	2.75	2.80	2.85
e	0.35	0.40	0.45
K	0.30REF		
L	0.28	0.30	0.32
h	0.35		

6.3 TSSOP28 封装特性

图 6-3 TSSOP28



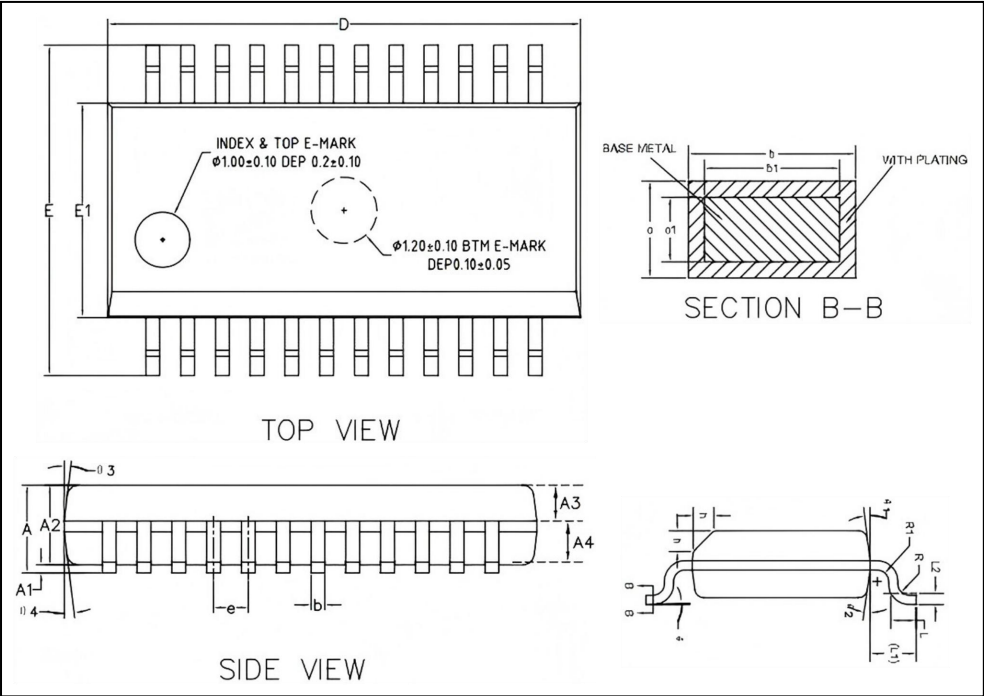
1. 图不是按照比例绘制。

表 6.3 TSSOP28，0.65mm 间距封装机械数据

符号	毫米		
	最小值	典型值	最大值
A	-	-	1.20
A1	0.03	0.08	0.12
A2	0.80	-	1.00
A3	0.39	0.44	0.49
b	0.20	-	0.29
b1	0.19	0.22	0.25
c	0.14	-	0.18
c1	0.12	0.13	0.14
D	9.60	9.70	9.80
E	6.20	6.40	6.60
E1	4.30	4.40	4.50
e	0.65BSC		
L	0.45	0.60	0.75
L1	1.00BSC		
θ	0	-	8°

6.4 SSOP24 封装特性

图 6-4 SSOP24



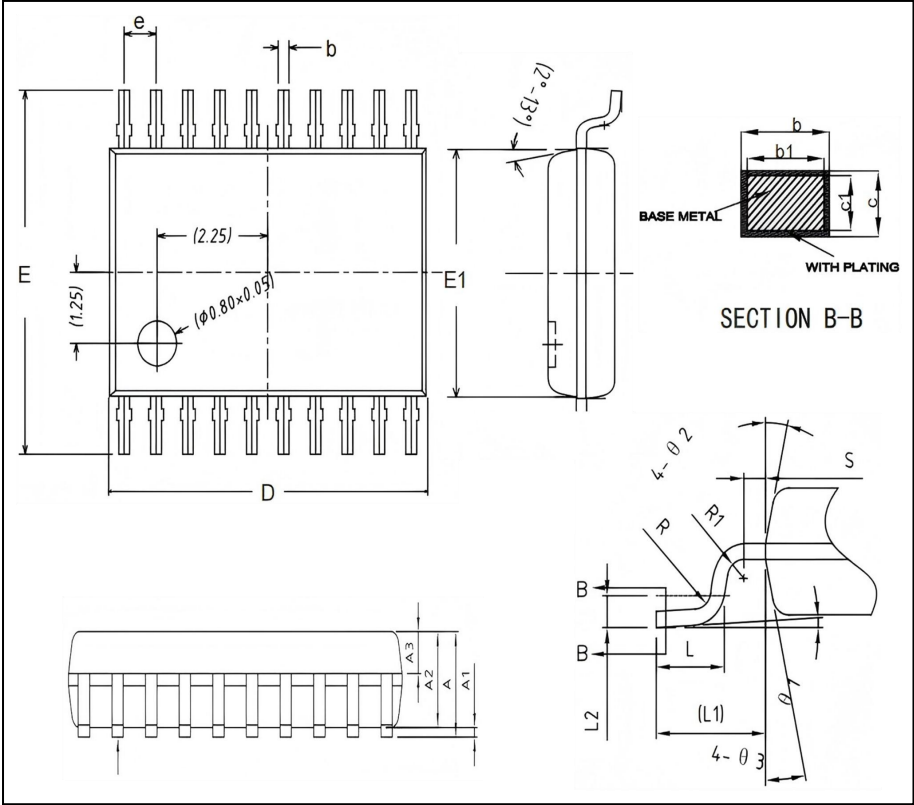
1. 图不是按照比例绘制。

表 6.4 SSOP24, 0.635mm 间距封装机械数据

符号	毫米		
	最小值	典型值	最大值
A	1.35	1.60	1.75
A1	0.10	0.15	0.20
A2	1.40	1.45	1.50
A3	0.60	0.65	0.70
A4	0.50	-	0.80
D	8.60	8.65	8.70
E	5.80	6.00	6.20
E1	3.80	3.90	4.00
e	0.605	0.635	0.665
L	0.50	0.60	0.70
L1	1.05REF		
L2	0.25BSC		
b	0.21	-	0.31
b1	0.22	0.25	0.28
c	0.20	-	0.25
c1	0.19	0.20	0.21
θ	1°	-	6°
θ 1	11°	12°	13°
θ 2	9°	10°	11°
θ 3	11°	12°	13°
θ 4	9°	10°	11°
R	0.07		
R1	0.07		
h	0.30	0.40	0.50

6.5 TSSOP20 封装特性

图 6-5 TSSOP20



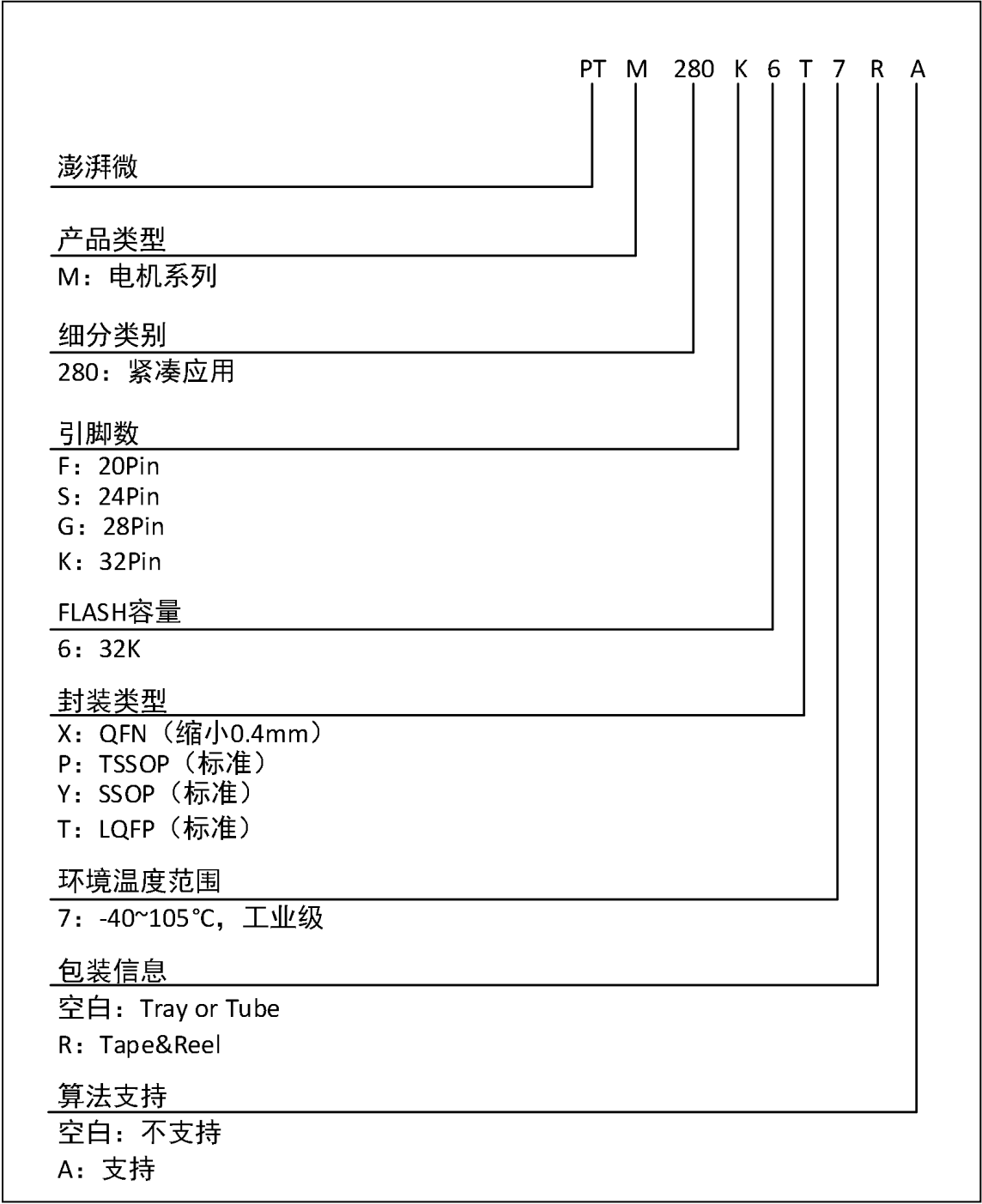
1. 图不是按照比例绘制。

表 6.5 TSSOP20, 0.65mm 间距封装机械数据

标号	毫米		
	最小值	典型值	最大值
A	1.0	-	1.10
A1	0.05	-	0.15
A2	0.90	0.95	1.00
A3	0.39	-	0.40
b	0.20	0.22	0.24
c	0.10	-	0.19
c1	0.10	-	0.15
D	6.40	6.45	6.50
E	6.25	6.40	6.55
E1	-	4.35	4.40
e	0.55	0.65	0.75
L2	0.25BSC		
R	0.09	-	-
L1	1.0REF		
$\theta 1$	0	-	8°

7 订货代码

7.1 订货代码信息图示



7.2 订货代码

Part Number	存储		内核	主频	封装包装			电机算法
	Flash(K)	RAM(K)	Cortex	MHz	封装	脚间距	包装	
PTM280K6T7	32	8	M0	64	LQFP(7×7)	0.5mm	Tray	No
PTM280K6X7	32	8	M0	64	QFN32(4×4)	0.4mm	Tray	No
PTM280G6P7	32	8	M0	64	TSSOP28	0.65mm	Tube	No
PTM280S6Y7	32	8	M0	64	SSOP24	0.635mm	Tube	No
PTM280F6P7	32	8	M0	64	TSSOP20	0.65mm	Tube	No
PTM280K6T7A	32	8	M0	64	LQFP(7×7)	0.5mm	Tray	Yes
PTM280K6X7A	32	8	M0	64	QFN32(4×4)	0.4mm	Tray	Yes
PTM280G6P7A	32	8	M0	64	TSSOP28	0.65mm	Tube	Yes
PTM280S6Y7A	32	8	M0	64	SSOP24	0.635mm	Tube	Yes
PTM280F6P7A	32	8	M0	64	TSSOP20	0.65mm	Tube	Yes

关于更多的选项列表(速度、封装等)和其他相关信息，请与邻近的 PT 销售处联络。

8 版本历史

表 8.1 文档版本历史

日期	版本	变更
2025-06-06	0.5	初始发行
2025-08-13	1.0	1. 添加 QFN32 封装的相关内容。 2. 修正部分错误描述。
2026-02-04	1.1	1.更新 OPA 特性章节描述